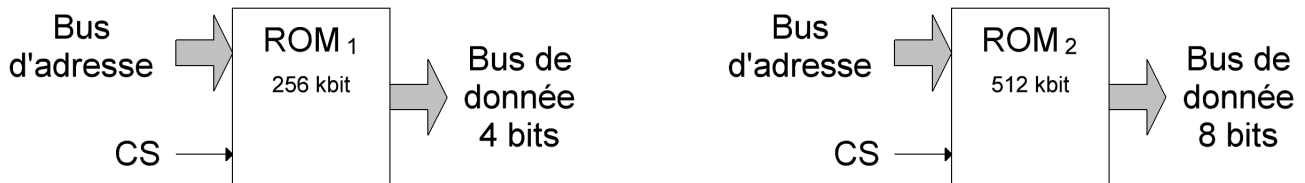


## T.D. 5 – Corrigé

### Constitution de plans mémoire

#### Exercice 1

Soit les deux mémoires de type ROM suivantes :



1. Combien peut-on former de mots de 4 bits avec la ROM<sub>1</sub> ?

Il s'agit ici de déterminer la profondeur de la ROM<sub>1</sub>.

$256 \text{ kbit} = 256/4 \text{ kmot de 4 bits} = 64 \text{ kmot de 4 bits}$ .

**On peut former 64 kmot de 4 bits avec la ROM<sub>1</sub>.**

2. Combien peut-on former de mots de 8 bits avec la ROM<sub>2</sub> ?

Il s'agit ici de déterminer la profondeur de la ROM<sub>2</sub>.

$512 \text{ kbit} = 512/8 \text{ kmot de 8 bits} = 64 \text{ kmot de 8 bits}$ .

**On peut former 64 kmot de 8 bits (64 ko) avec la ROM<sub>2</sub>.**

3. Quelle est la taille du bus d'adresse des deux types de ROM ?

La taille du bus d'adresse d'une mémoire se détermine à partir de sa profondeur.

$64 \text{ kmot} = 2^{16} \text{ mots}$ .

**La taille du bus d'adresse des deux types de ROM est de 16 bits.**

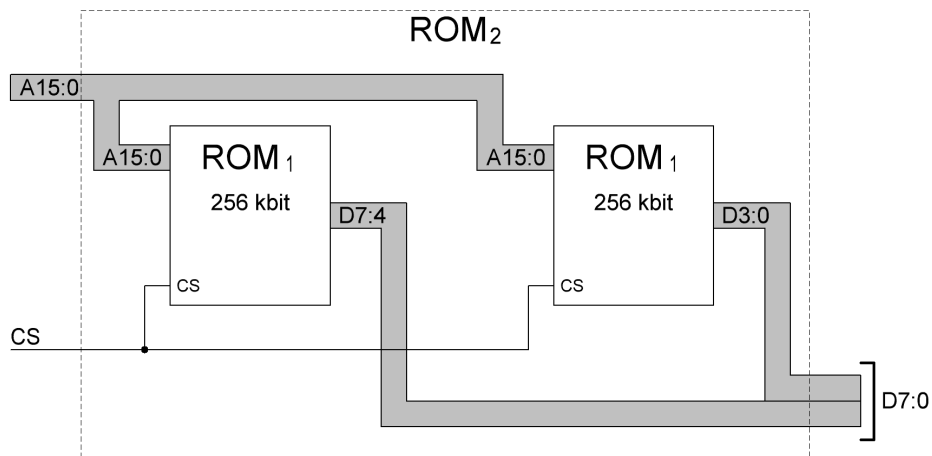
On désire réaliser une ROM<sub>2</sub> à l'aide de deux ROM<sub>1</sub>.

4. Quel type d'assemblage doit-on réaliser ?

On passe d'un bus de donnée de 4 bits à un bus de donnée de 8 bits.

**L'assemblage à réaliser est donc un assemblage en parallèle (ou en largeur).**

5. Donnez le schéma de câblage.



## Exercice 2

On dispose de plusieurs  $RAM_1$  ayant une capacité de 2048 kbit avec un bus de donnée de 4 bits, une entrée **CS** et une entrée **WE**. On désire réaliser une  $RAM_2$  ayant une capacité de 4 Mbit. Les bus de commande et de donnée des deux RAM sont identiques.

1. Calculez la taille des bus d'adresse des deux types de RAM.

La taille du bus d'adresse d'une mémoire se détermine à partir de sa profondeur.

$RAM_1$  : 2048 kbit = 2048/4 kmot de 4 bits = 512 kmot de 4 bits.

512 kmot =  $2^{19}$  mots.

**La  $RAM_1$  possède 19 fils d'adresse.**

$RAM_2$  : 4 Mbit = 4/4 Mmot de 4 bits = 1 Mmot de 4 bits.

1 Mmot =  $2^{20}$  mots.

**La  $RAM_2$  possède 20 fils d'adresse.**

2. Quel type d'assemblage doit-on réaliser ?

On passe d'un bus d'adresse de 19 bits à un bus d'adresse de 20 bits.

**L'assemblage à réaliser est donc un assemblage en série (ou en profondeur).**

3. Combien de bits d'adresse vont servir à déterminer le **CS** des  $RAM_1$  ?

Ce sont les fils d'adresse supplémentaires de la  $RAM_2$  qui vont servir à la sélection des  $RAM_1$ . Ici, la  $RAM_2$  possède un fil d'adresse de plus que la  $RAM_1$  ( $20 - 19 = 1$ ).

**Un seul fil d'adresse servira donc à déterminer le **CS** des  $RAM_1$ .**

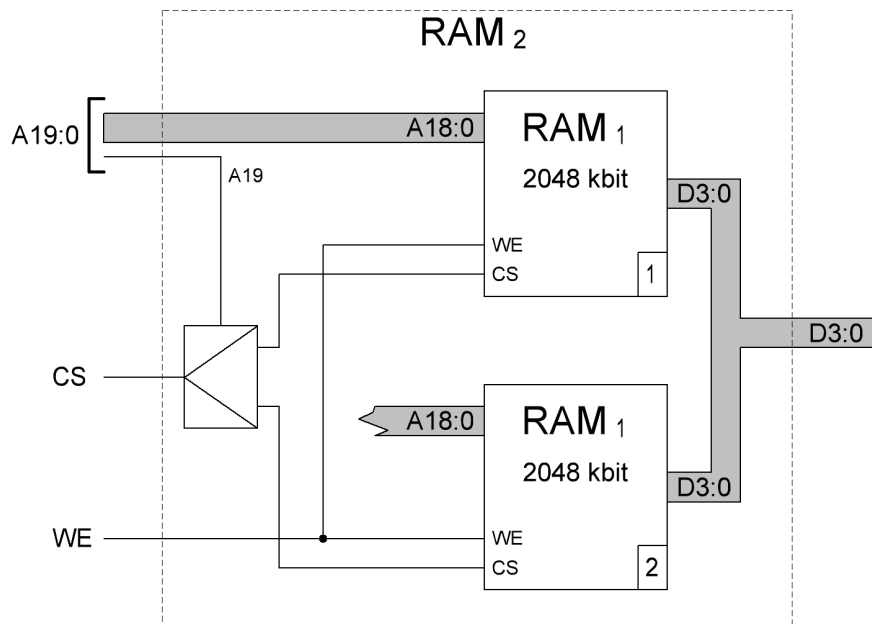
## 4. Donnez le schéma de câblage.

Les entrées **WE** des RAM<sub>1</sub> sont reliées directement à l'entrée **WE** de la RAM<sub>2</sub>. Il n'y a aucune difficulté particulière pour ce type d'entrée.

Pour la sélection des RAM<sub>1</sub>, il est préférable d'utiliser un démultiplexeur piloté par le fil d'adresse **A<sub>19</sub>**.

- Si **A<sub>19</sub> = 0**, le **CS** de la RAM<sub>2</sub> est recopié sur le **CS** de la première RAM<sub>1</sub> (celle du haut sur le schéma). L'autre sortie du démultiplexeur est positionnée à 0 et la seconde RAM<sub>1</sub> (celle du bas sur le schéma) est désactivée.
- Si **A<sub>19</sub> = 1**, le **CS** de la RAM<sub>2</sub> est recopié sur le **CS** de la seconde RAM<sub>1</sub>. L'autre sortie du démultiplexeur est positionnée à 0 et la première RAM<sub>1</sub> est désactivée.

On remarque que si **CS = 0**, alors les deux RAM<sub>1</sub> sont désactivées.

5. Quelle mémoire est active lors de la lecture à l'adresse 515<sub>10</sub> ?

C'est le fil d'adresse **A<sub>19</sub>** qui pilote le démultiplexeur et qui permet la sélection de la première ou de la seconde RAM<sub>1</sub>.

$$515_{10} = 00203_{16} \rightarrow A_{19} = 0$$

**C'est la RAM<sub>1</sub> numéro 1 qui est activée.**

6. Quelle mémoire est active lors de l'écriture à l'adresse 9A844<sub>16</sub> ?

Il faut également déterminer la valeur du bit **A<sub>19</sub>** :

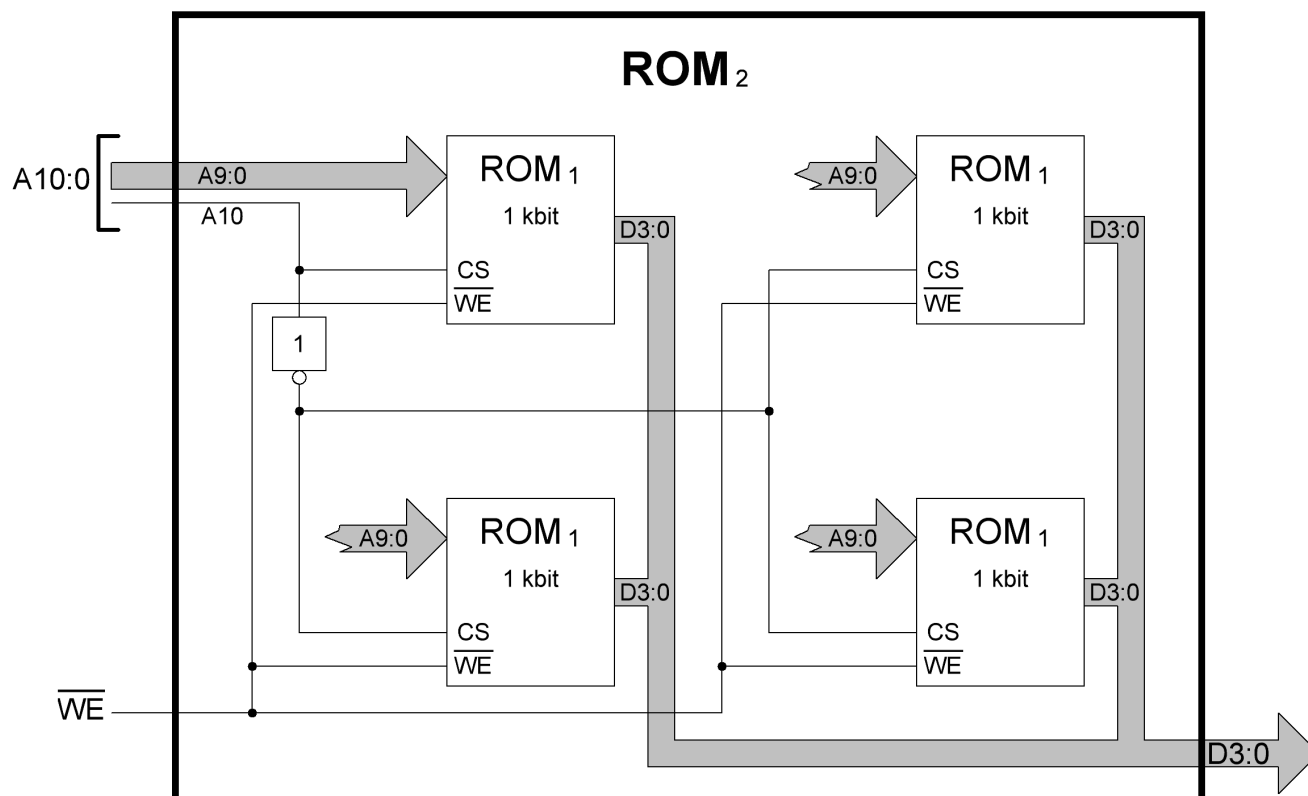
$$9A844_{16} \rightarrow A_{19} = 1$$

**C'est la RAM<sub>1</sub> numéro 2 qui est activée.**

**Exercice 3**

Que semble faire le montage ci-dessous ?

Trouvez les erreurs et proposez un montage qui fonctionne.

**Indications :**

- Le nombre de ROM<sub>1</sub> est exact.
- La capacité en bit des ROM<sub>1</sub> est exacte.
- La taille du bus de donnée des ROM<sub>1</sub> est exacte.
- L'assemblage en parallèle est représenté à l'horizontale.
- L'assemblage en série est représenté à la verticale.

À partir des indications, il est possible de déterminer le nombre de fils d'adresse des deux types de ROM :  
 ROM<sub>1</sub> : 1 kbit = 1/4 kmot de 4 bits = 256 mots de 4 bits = 2<sup>8</sup> mots de 4 bits.

La ROM<sub>1</sub> possède donc 8 fils d'adresse (A<sub>7:0</sub>).

ROM<sub>2</sub> : L'assemblage en série nous indique qu'elle possède un fil d'adresse de plus que la ROM<sub>1</sub>.

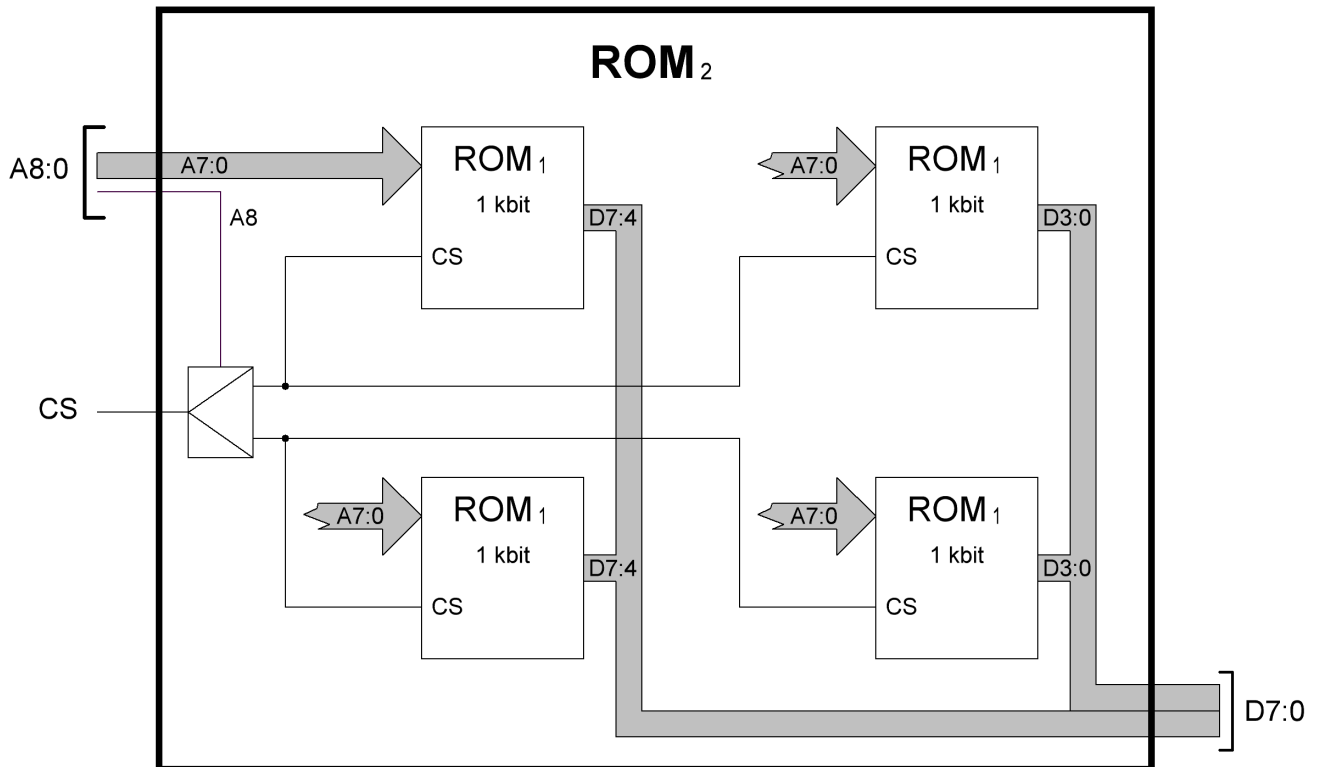
La ROM<sub>2</sub> possède donc 9 fils d'adresse (A<sub>8:0</sub>).

L'assemblage en parallèle nous indique que le bus de donnée de la ROM<sub>2</sub> est deux fois plus large que celui de la ROM<sub>1</sub> : elle possède donc un bus de donnée de 8 bits (D<sub>7:0</sub>).

Une ROM ne possède jamais d'entrée  $\overline{WE}$  (*Write Enable*), car elle n'est accessible qu'en lecture.

Il faut utiliser un démultiplexeur pour la gestion des entrées CS.

On obtient le schéma de câblage suivant :



#### Exercice 4

On désire réaliser une **RAM<sub>2</sub>** de 8 ko avec un bus de donnée de 16 bits, à l'aide de plusieurs **RAM<sub>1</sub>** de 512 octets ayant un bus de donnée de 4 bits.

1. Donnez le nombre de mots et la largeur du bus d'adresse des deux types de RAM.

**RAM<sub>1</sub>** : 512 octets =  $(512 \times 8) / 4$  mots de 4 bits = **1 kmot de 4 bits**.

1 kmot =  $2^{10}$  mots.

**La RAM<sub>1</sub> possède 10 fils d'adresse.**

**RAM<sub>2</sub>** : 8 ko =  $(8 \times 8) / 16$  kmot de 16 bits = **4 kmot de 16 bits**.

4 kmot =  $2^{12}$  mots.

**La RAM<sub>2</sub> possède 12 fils d'adresse.**

2. Combien de mémoires doit-on assembler en série ?

On passe d'une profondeur de 1 kmot à une profondeur de 4 kmot.

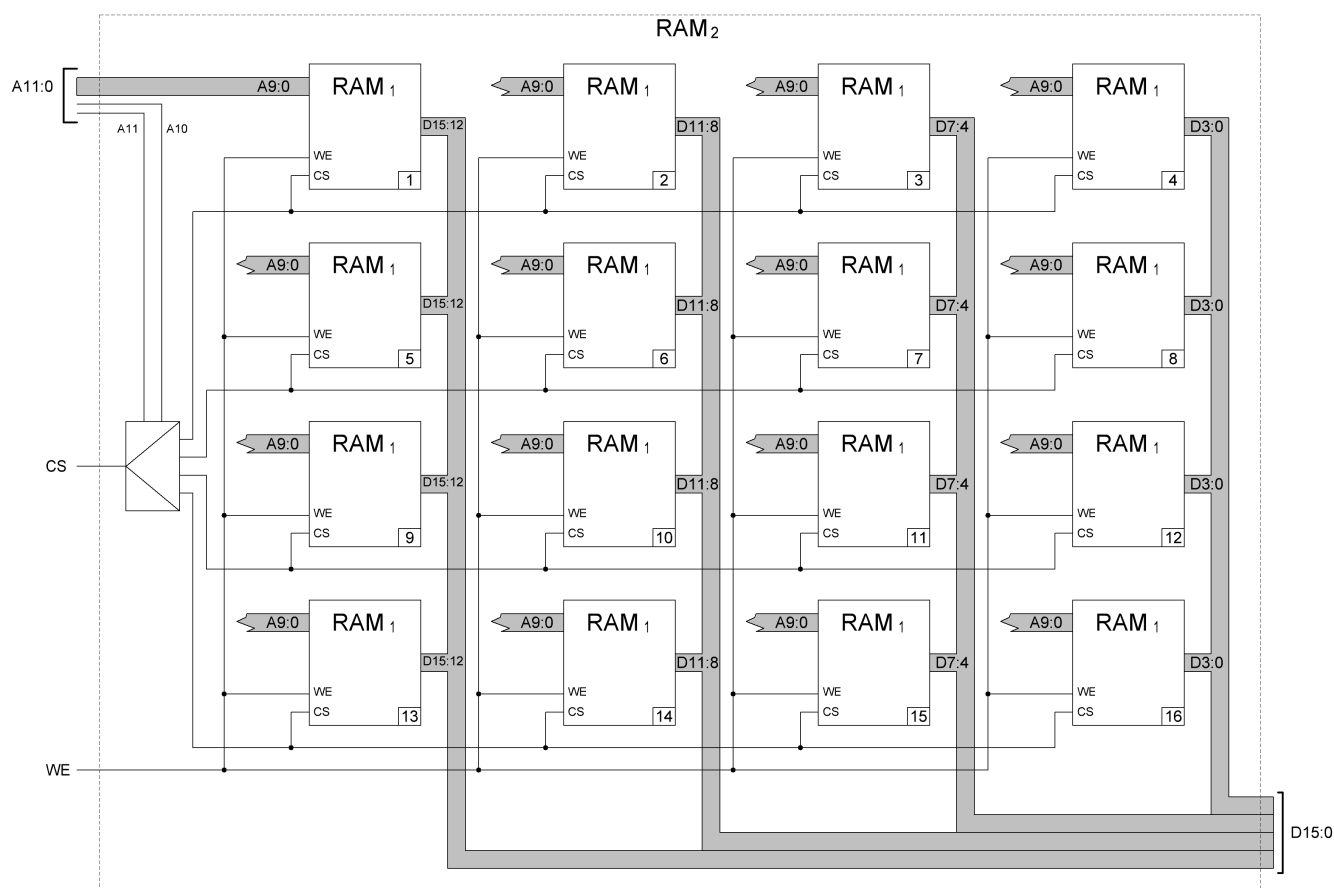
**Il faut assembler 4 mémoires en série** ( $4 \text{ kmot} / 1 \text{ kmot} = 4$ ).

3. Combien de mémoires doit-on assembler en parallèle ?

On passe d'un bus de donnée de 4 bits à un bus de donnée de 16 bits.

**Il faut assembler 4 mémoires en parallèle** ( $16 \text{ bits} / 4 \text{ bits} = 4$ ).

5. Donnez le schéma de câblage.



Pour chaque adresse, il suffit de déterminer la valeur des bits  $A_{11}$  et  $A_{10}$ .

- 95A<sub>16</sub> : A<sub>11</sub> = 1, A<sub>10</sub> = 0 : RAM<sub>1</sub> numéro 9, 10, 11, 12 activées.
- E03<sub>16</sub> : A<sub>11</sub> = 1, A<sub>10</sub> = 1 : RAM<sub>1</sub> numéro 13, 14, 15, 16 activées
- 1FF<sub>16</sub> : A<sub>11</sub> = 0, A<sub>10</sub> = 0 : RAM<sub>1</sub> numéro 1, 2, 3, 4 activées.
- 725<sub>16</sub> : A<sub>11</sub> = 0, A<sub>10</sub> = 1 : RAM<sub>1</sub> numéro 5, 6, 7, 8 activées.