

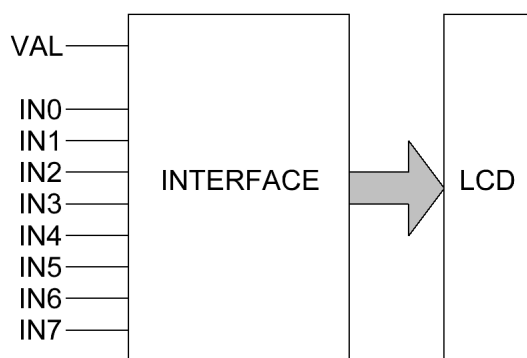
## T.D. 6 – Corrigé

### Interface LCD

On souhaite réaliser une petite interface LCD permettant d'afficher un certain nombre de messages prédéfinis. Cette interface sera constituée des éléments suivants :

- un afficheur LCD alphanumérique à contrôleur intégré ;
- une EPROM **M27128A** ;
- un compteur **74HCT4060** ;
- un verrou **74HCT373**.

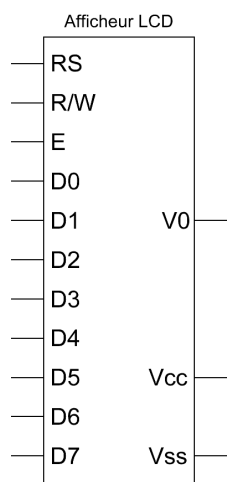
Les différents messages seront stockés dans l'EPROM. La sélection du message à afficher se fera à l'aide de 8 lignes d'entrée, de **IN<sub>0</sub>** à **IN<sub>7</sub>**, laissant un choix de 256 messages. Une entrée **VAL** servira à la validation du message à afficher.



**VAL = 0** → Les entrées **IN<sub>0</sub>** à **IN<sub>7</sub>** ne sont pas prises en compte. Pas de changement sur l'écran LCD.

**VAL = 1** → Le message affiché est celui sélectionné par les entrées **IN<sub>0</sub>** à **IN<sub>7</sub>**.

### Fonctionnement de l'afficheur LCD



<b>RS</b>	0 = Caractère de commande. 1 = Caractère ASCII.
<b>R/W</b>	0 = Écriture d'un caractère. 1 = Lecture d'un caractère.
<b>E</b>	Validation du bus de donnée. (La validation s'effectue sur front descendant.)
<b>D<sub>7:0</sub></b>	Bus de donnée bidirectionnel.
<b>V<sub>0</sub></b>	Tension de réglage du contraste ( $V_{ss} \leq V_0 \leq V_{cc}$ ).
<b>V<sub>cc</sub></b> <b>V<sub>ss</sub></b>	Alimentation de l'afficheur.

Tension de seuil des entrées à  $V_{cc}/2$ .

L'afficheur LCD possède un contrôleur intégré qui facilite la gestion de l'affichage. Ce contrôleur permet non seulement d'afficher des caractères, mais aussi d'exécuter des commandes. Les informations présentes sur son bus de donnée peuvent donc être de deux types : le code ASCII d'un caractère à afficher ou une commande à exécuter. Les commandes disponibles sont détaillées dans le tableau ci-dessous :

Commandes de l'afficheur LCD	
38	Affichage sur 2 lignes en mode 8 bits.
0C	Le curseur est masqué.
06	Affichage du texte de gauche à droite.
80	Place le curseur au début de la ligne 1.
C0	Place le curseur au début de la ligne 2.
FF	Aucun effet.

### **Format des messages et contenu de l'EPROM**

L'EPROM contient 256 messages numérotés de 0 à 255. Chaque message est composé de 64 octets que l'on peut décomposer en quatre blocs :

- Bloc 0 : 16 octets de commande.
- Bloc 1 : 16 octets au format ASCII qui seront affichés sur la ligne 1 de l'afficheur.
- Bloc 2 : 16 octets de commande.
- Bloc 3 : 16 octets au format ASCII qui seront affichés sur la ligne 2 de l'afficheur.

Le tableau ci-dessous donne un aperçu du contenu de la mémoire :

Message	Bloc	Adresse	Contenu de la mémoire															
0	0	0000	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	38	0C	06	80
	1	0010	Codes ASCII ligne 1															
	2	0020	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	C0
	3	0030	Codes ASCII ligne 2															
1	0	0040	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	38	0C	06	80
	1	0050	Codes ASCII ligne 1															
	2	0060	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	C0
	3	0070	Codes ASCII ligne 2															
...	...	...	...															
255	0	3FC0	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	38	0C	06	80
	1	3FD0	Codes ASCII ligne 1															
	2	3FE0	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	C0
	3	3FF0	Codes ASCII ligne 2															

1. Décomposez le bus d'adresse de l'EPROM en trois champs de bits. Chacun des champs contiendra respectivement :
- la position d'un octet à l'intérieur d'un bloc ;
  - le numéro d'un bloc à l'intérieur d'un message ;
  - le numéro d'un message.

La position d'un octet à l'intérieur d'un bloc varie à chaque changement d'adresse. Cette position se trouve donc dans les bits de poids faible de l'adresse. La position d'un octet est comprise entre 0 et 15. Il s'agit des quatre bits de poids faible (de  $A_0$  à  $A_3$ ).

Le numéro d'un bloc, qui est compris entre 0 et 3, se trouve dans les deux bits suivants ( $A_4$  et  $A_5$ ).

Le numéro d'un message, qui est compris entre 0 et 255, se trouve dans les huit bits de poids fort (de  $A_6$  à  $A_{13}$ ).

Ce qui donne :

Message								Bloc		Octet			
$A_{13}$	$A_{12}$	$A_{11}$	$A_{10}$	$A_9$	$A_8$	$A_7$	$A_6$	$A_5$	$A_4$	$A_3$	$A_2$	$A_1$	$A_0$

$A_{3:0}$  = position d'un octet à l'intérieur d'un bloc (entre 0 et 15).

$A_{5:4}$  = numéro d'un bloc à l'intérieur d'un message (entre 0 et 3).

$A_{13:6}$  = numéro d'un message (entre 0 et 255).

Par exemple, pour l'adresse  $28F7_{16}$  :

Message n° 163								Bloc n° 3		Octet n° 7			
1	0	1	0	0	0	1	1	1	1	0	1	1	1

2. La capture d'écran ci-dessous est obtenue lors de l'affichage du message 130 :

Erreur :  
Division par 0.

Remplissez le tableau suivant qui donne le contenu de la mémoire pour le message 130 :

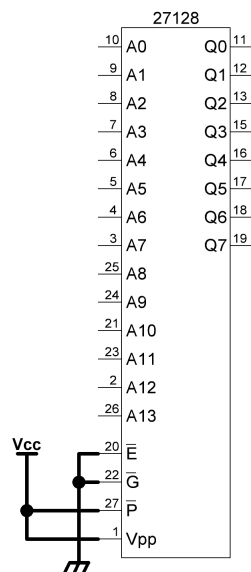
Adresse	Contenu de la mémoire															
2080	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	38	0C	06	80
2090	'E'	'r'	'r'	'e'	'u'	'r'	' '	':'	' '	' '	' '	' '	' '	' '	' '	' '
20A0	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	C0
20B0	'D'	'i'	'v'	'i'	's'	'i'	'o'	'n'	' '	'p'	'a'	'r'	' '	'0'	'.'	' '

Adresse de départ du **message 130** → **10000010** 00 0000<sub>2</sub> = **2080**<sub>16</sub>

3. À l'aide de la [documentation technique de la mémoire](#), câblez son bus de commande.

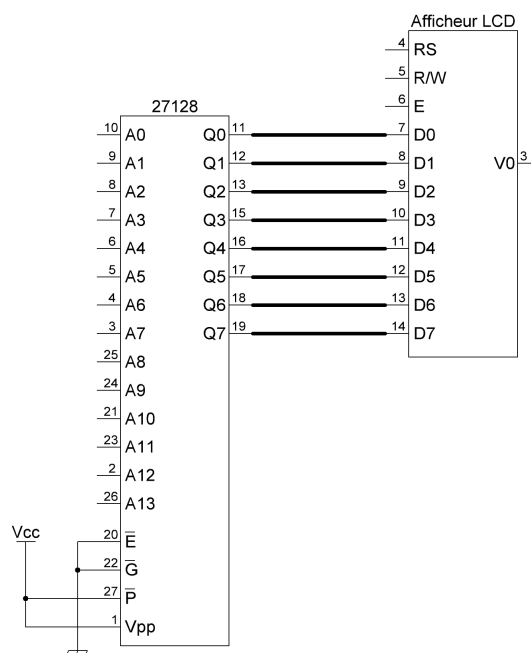
La ROM doit fonctionner en lecture. Le tableau *Operating Modes* (cf. [documentation technique](#)) indique les niveaux de tension à appliquer aux entrées en fonction du mode de fonctionnement. On en déduit que pour le mode lecture (ligne *Read*) :

- $\overline{E}$  (broche d'activation de la mémoire) =  $V_{IL} \rightarrow$  **niveau logique 0**.
- $\overline{G}$  (broche d'activation des sorties) =  $V_{IL} \rightarrow$  **niveau logique 0**.
- $\overline{P}$  (broche d'activation du mode de programmation) =  $V_{IH} \rightarrow$  **niveau logique 1**.
- $V_{PP}$  (broche d'alimentation du mode de programmation de la mémoire) =  $V_{CC}$ .



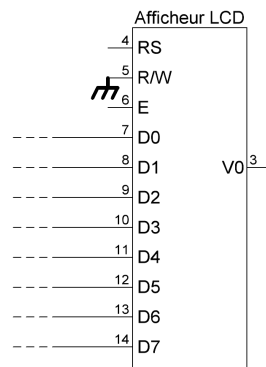
4. Câblez le bus de donnée de la mémoire.

La mémoire contient les messages à afficher. Son bus de donnée doit être relié à celui de l'afficheur.



5. Câblez l'entrée **R/W** de l'afficheur LCD.

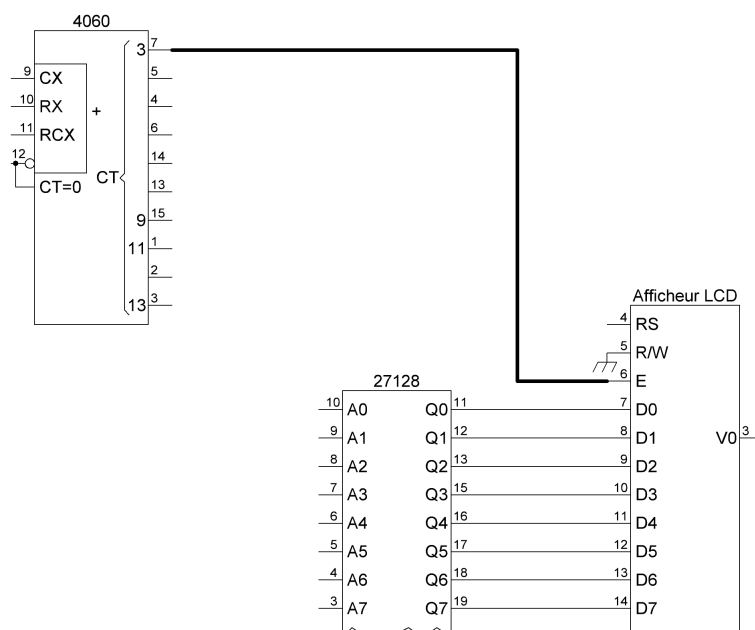
L'afficheur servira uniquement à afficher des messages. Il fonctionnera donc en mode écriture : **R/W = 0**.

6. À l'aide de la [documentation technique du compteur](#), donnez une brève description de son fonctionnement.

Le **74HCT4060** est un compteur binaire / diviseur 14 étages avec oscillateur intégré. L'oscillateur peut être obtenu par le câblage de résistances et de condensateurs sur les broches 9, 10 et 11. Une entrée de remise à zéro active à l'état haut est disponible sur la broche 12.

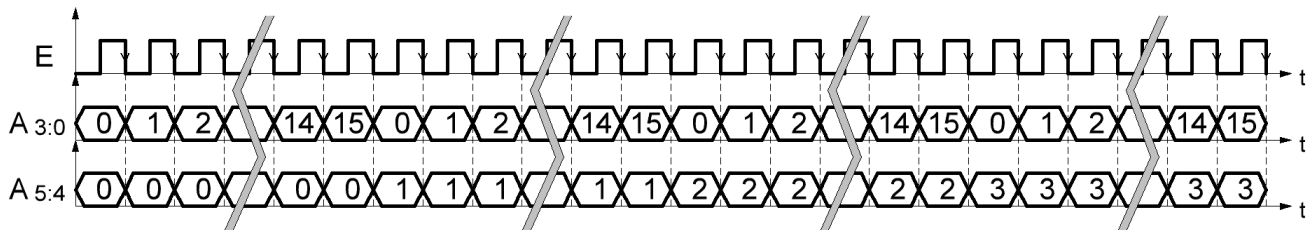
7. À chaque front descendant de la sortie 3 du compteur (broche 7), un caractère du message en cours d'affichage doit être transmis à l'afficheur. Câblez l'entrée **E** de l'afficheur LCD ainsi que les entrées **A<sub>0</sub>** à **A<sub>5</sub>** de la mémoire.

Afin de transmettre un caractère à l'afficheur à chaque front descendant de la sortie 3 du compteur, il suffit de relier cette dernière à l'entrée **E** de l'afficheur.

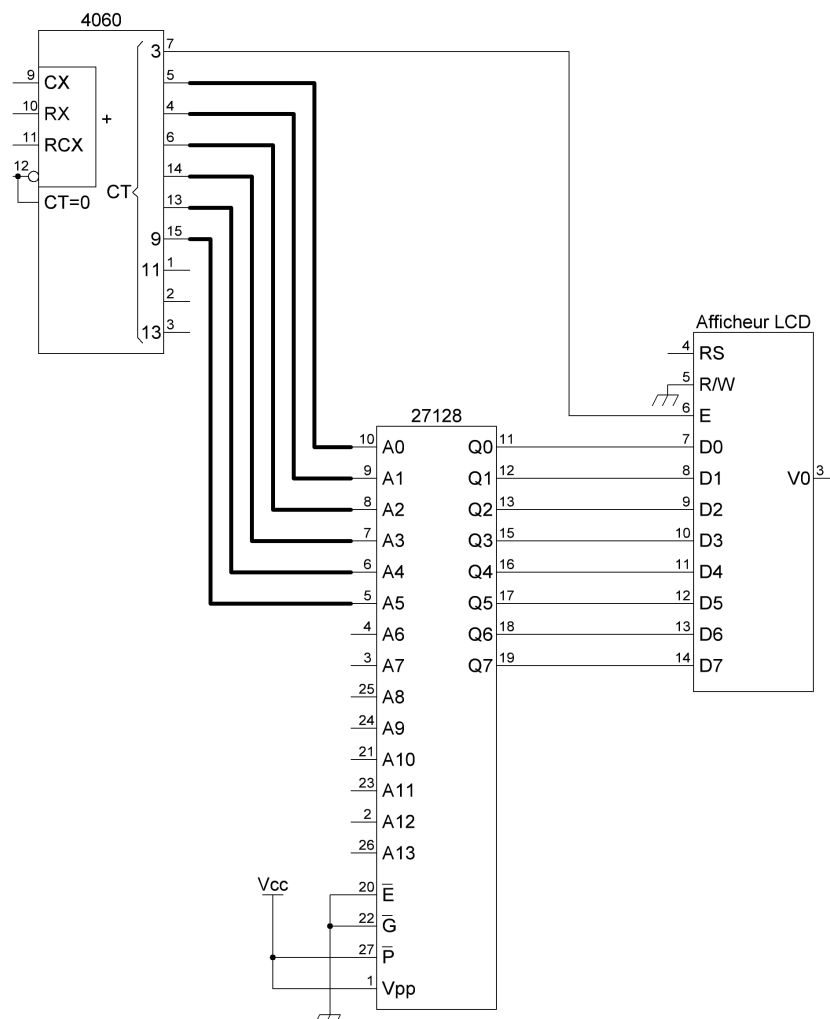


Le caractère à valider sur l'afficheur doit changer à chaque front descendant de **E** afin d'afficher le prochain caractère du message. Par conséquent, un nouveau caractère doit se présenter sur le bus de donnée de la mémoire. Ceci s'obtient en incrémentant l'adresse présente sur le bus d'adresse de la mémoire à chaque front descendant de **E**.

Un message est composé de 64 octets. Ces 64 octets correspondent aux bits **A<sub>0</sub>** à **A<sub>5</sub>** du bus d'adresse (**A<sub>5:4</sub>** = numéro d'un bloc, **A<sub>3:0</sub>** = position d'un octet dans le bloc). Il faut donc incrémenter les six premiers bits d'adresse de la mémoire à chaque front descendant de la sortie 3 du compteur afin de transmettre le prochain caractère du message à l'afficheur.



La sortie d'un compteur change d'état sur le front descendant de sa sortie précédente. Les sorties 4 à 9 du **74HCT4060** s'incrémentent donc à chaque front descendant de la sortie 3 (entrée **E** de l'afficheur). Il faut alors relier les six sorties du compteur, à partir de la sortie 4, au bus d'adresse de la ROM.

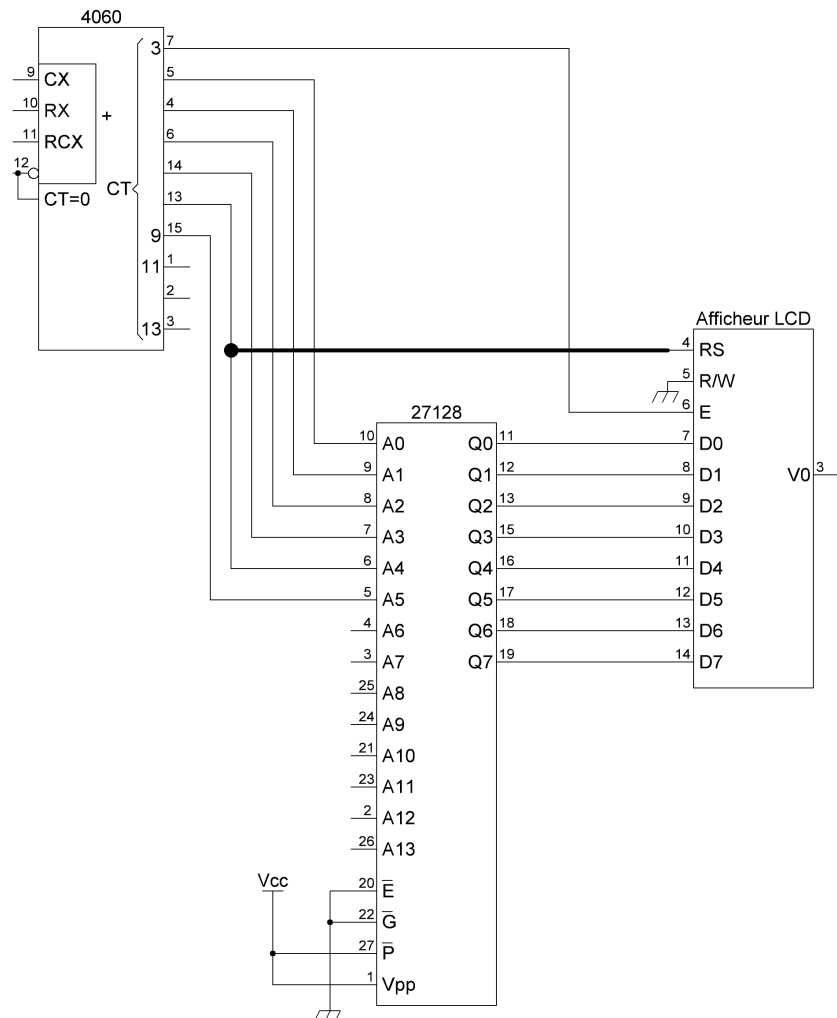


8. Câblez l'entrée **RS** de l'afficheur LCD.

L'entrée **RS** doit prendre la valeur 0 lors de la validation d'un caractère de commande et la valeur 1 lors de la validation d'un caractère ASCII (cf. [fonctionnement de l'afficheur LCD](#)). L'entrée **RS** dépend donc du numéro de bloc d'un message. Les blocs 0 et 2 contiennent uniquement des caractères de commande. Les blocs 1 et 3 contiennent uniquement des caractères ASCII.

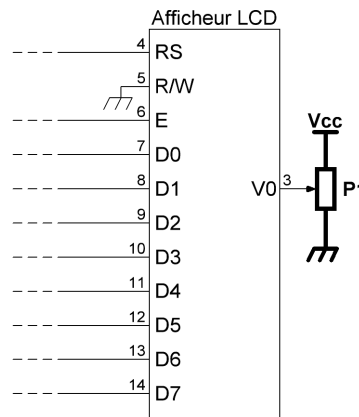
Bloc	A <sub>5</sub>	A <sub>4</sub>	RS	
0	0	0	0	← commande
1	0	1	1	← ASCII
2	1	0	0	← commande
3	1	1	1	← ASCII

À partir du tableau ci-dessus, on en déduit que **RS = A<sub>4</sub>**.



9. Terminez le câblage de l'afficheur LCD de façon à pouvoir ajuster la tension  $V_0$ .

La tension  $V_0$  permet de régler le contraste de l'afficheur. Elle peut varier entre 0 volt et la tension d'alimentation  $V_{CC}$  (cf. [fonctionnement de l'afficheur LCD](#)). L'utilisateur de l'interface LCD doit avoir la possibilité d'ajuster cette tension afin qu'il puisse lui-même régler le contraste selon ses préférences. Il suffit pour cela de relier l'entrée  $V_0$  à un potentiomètre câblé en pont diviseur de tension.



10. Afin de donner l'illusion que tous les caractères d'un message s'affichent simultanément, les 64 octets constituant un message doivent être envoyés à l'afficheur en moins de 40 ms. Donnez la fréquence minimale à appliquer au compteur.

Un front descendant sur la sortie 3 du compteur sert à transmettre un caractère à l'afficheur. Afin d'envoyer 64 octets à l'afficheur en moins de 40 ms, il faut donc 64 fronts descendants sur la sortie 3 du compteur en moins de 40 ms. Si l'on nomme  $f_3$  la fréquence présente sur la sortie 3 du compteur, on obtient l'inégalité suivante :

$$f_3 \geq \frac{64}{40 \cdot 10^{-3}}$$

$$f_3 \geq 1,6 \text{ kHz}$$

La sortie d'un compteur divise la fréquence de sa sortie précédente par deux. La fréquence d'oscillation du compteur est donc seize fois plus élevée que la fréquence  $f_3$ . Ce qui donne :

$$f_{osc} \geq 16 \times 1,6 \text{ kHz}$$

$$f_{osc} \geq 25,6 \text{ kHz}$$

11. Câblez les entrées du compteur afin d'obtenir une fréquence d'oscillation voisine de celle obtenue dans la question précédente.

La [figure 12](#) de la documentation technique du compteur propose un schéma de câblage à l'aide de deux couples de résistances et de condensateurs :  $R_t$ ,  $C_t$  et  $R_2$ ,  $C_2$ .



Si les conditions suivantes sont respectées :

- $R_2 \approx 2R_t$
- $R_2C_2 \ll R_tC_t$
- $C_t > 50 \text{ pF}$
- $10 \text{ k}\Omega < R_t < 1 \text{ M}\Omega$

Alors la fréquence d'oscillation du compteur est :

$$f_{osc} = \frac{1}{2,5 \times R_t \times C_t}$$

Il faut maintenant déterminer les valeurs des composants  $R_t$ ,  $C_t$ ,  $R_2$  et  $C_2$  afin d'obtenir une fréquence d'oscillation supérieure ou égale à 25,6 kHz.

$$\frac{1}{2,5 \times R_t \times C_t} \geq 25,6 \text{ kHz}$$

$$R_t \times C_t \leq \frac{1}{2,5 \times 25,6 \text{ k}}$$

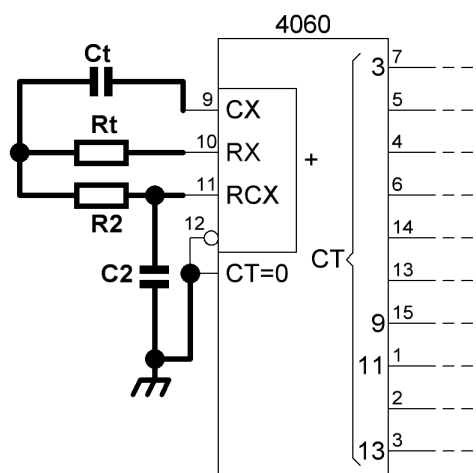
$$R_t \times C_t \leq 15,625 \mu s$$

Si on pose  $R_t = 10 \text{ k}\Omega$ , alors on obtient pour les autres composants :

- $C_t \leq 1,5625 \text{ nF}$
- $R_2 \approx 20 \text{ k}\Omega$
- $C_2 \ll R_tC_t / R_2$   
 $C_2 \ll 781,25 \text{ pF}$

Le choix définitif des composants se fera à l'aide de valeurs normalisées assez proches des valeurs théoriques.

Le *reset* du compteur n'est pas utilisé ici. Il est donc désactivé.



12. Après qu'une adresse valide a été positionnée sur son bus d'adresse, la mémoire a besoin d'un certain temps avant de fournir une donnée valide sur son bus de donnée. Trouvez, à l'aide de sa [documentation technique](#), le temps maximal dont la mémoire a besoin. Quel problème cela peut-il poser ?

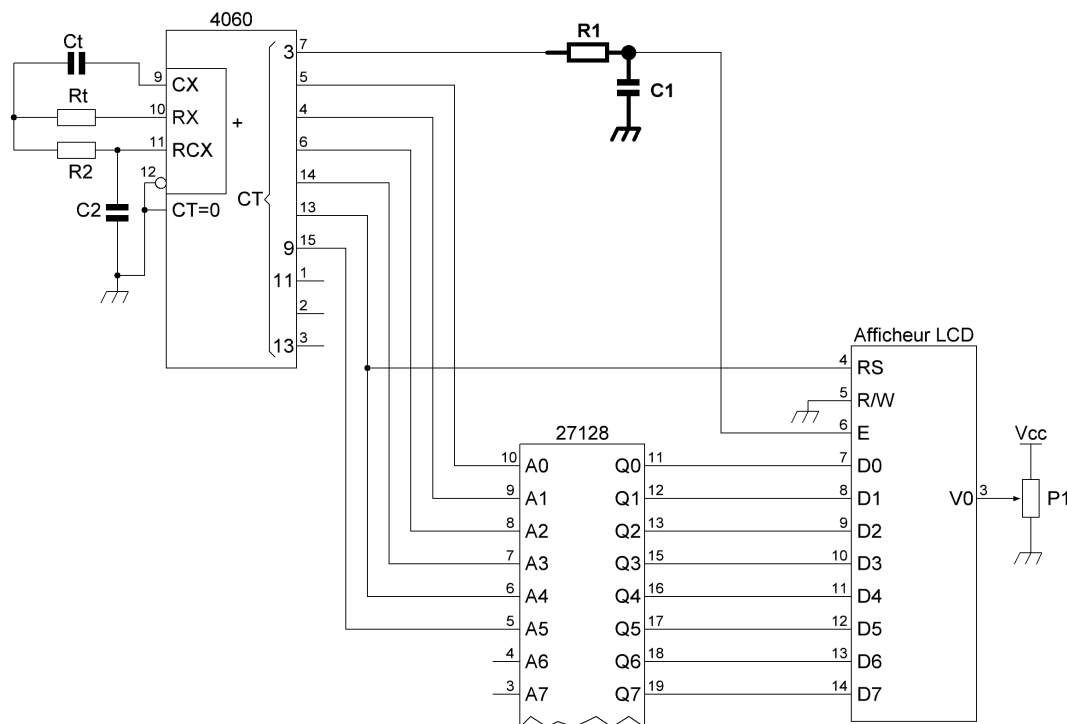
La [figure 5](#) de la documentation technique nous indique que le temps à déterminer est noté  $t_{AVQV}$  (*Address Valid to Output Valid*). Dans le [tableau 7](#) de la page suivante, on peut constater que **la valeur maximale de  $t_{AVQV}$  est de 450 ns**.

Ce délai d'attente engendre une mauvaise validation du caractère par l'afficheur lors du front descendant de son entrée **E**. En effet, ce front descendant valide la donnée au moment où l'adresse est positionnée sur le bus d'adresse de la mémoire. Or, la mémoire n'a pas encore eu le temps de fournir une donnée valide sur son bus de donnée. Le caractère validé par l'afficheur ne sera donc pas le caractère souhaité.

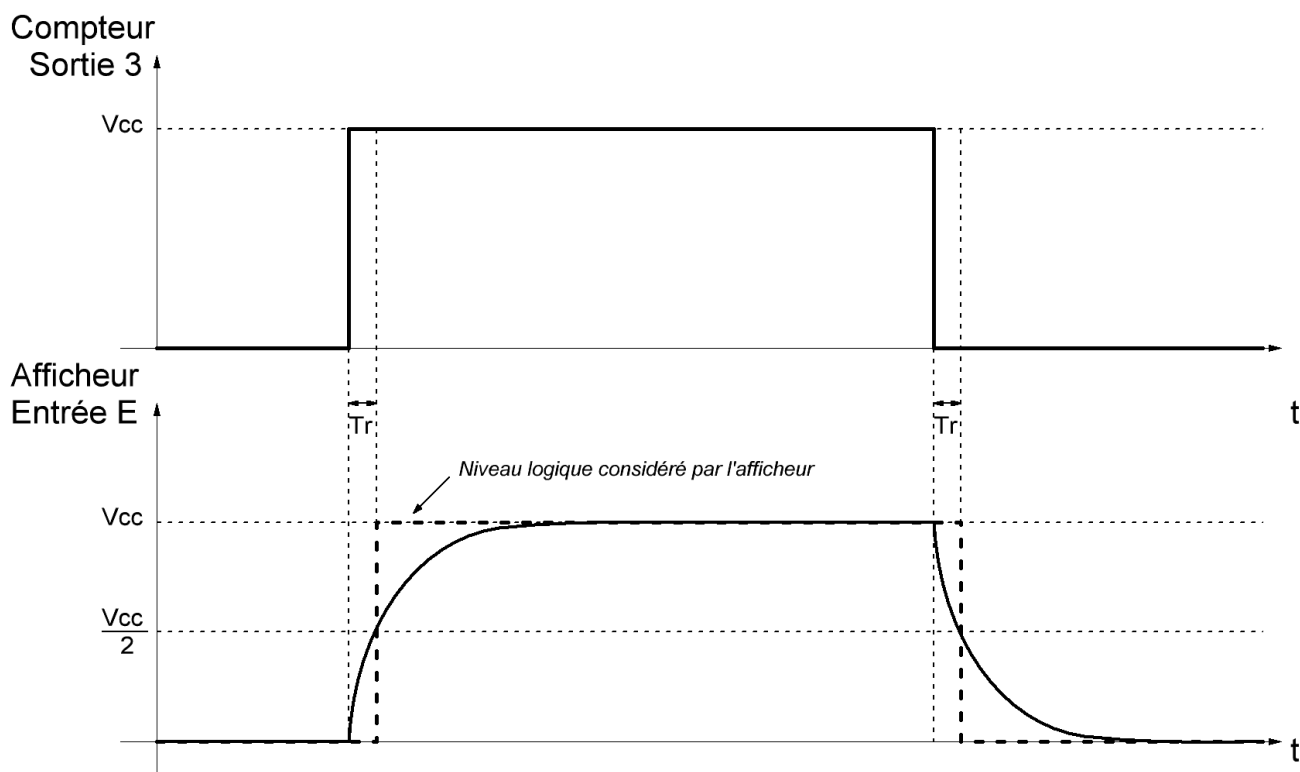
13. Afin de résoudre ce problème, on propose de retarder le signal arrivant sur l'entrée **E** d'environ 10  $\mu s$ . Donnez le nouveau schéma de câblage sachant que le temps de charge d'un condensateur à travers une résistance est :

$$T_{charge} = R.C.ln\left(\frac{V_{CC} - V_{départ}}{V_{CC} - V_{arrivée}}\right)$$

Le temps de charge d'un condensateur à travers une résistance peut être utilisé afin de retarder le signal de la sortie 3 du compteur vers l'entrée **E** de l'afficheur.



On obtient les chronogrammes suivants :



On constate que le niveau logique considéré par l'afficheur possède un petit temps de retard  $T_r$  par rapport au signal présent sur la sortie 3 du compteur. Ce temps de retard est le temps que met le condensateur à se charger de 0 volt à  $V_{cc}/2$  (le temps de décharge est ici identique au temps de charge).

Il faut maintenant déterminer les valeurs de  $R_1$  et de  $C_1$  afin d'obtenir un temps de retard de  $10\ \mu s$ . À partir de l'égalité donnée précédemment, on obtient :

$$T_r = R_1 \cdot C_1 \cdot \ln\left(\frac{V_{cc} - 0}{V_{cc} - \frac{V_{cc}}{2}}\right)$$

$$T_r = R_1 \cdot C_1 \cdot \ln(2)$$

$$R_1 \cdot C_1 = \frac{T_r}{\ln(2)} = \frac{10 \cdot 10^{-6}}{\ln(2)}$$

$$R_1 \cdot C_1 = 14,43\ \mu s$$

En posant  $R_1 = 10\ k\Omega$ , on obtient  $C_1 = 1,443\ nF$ .

Le choix définitif des composants se fera à l'aide de valeurs normalisées assez proches des valeurs théoriques.

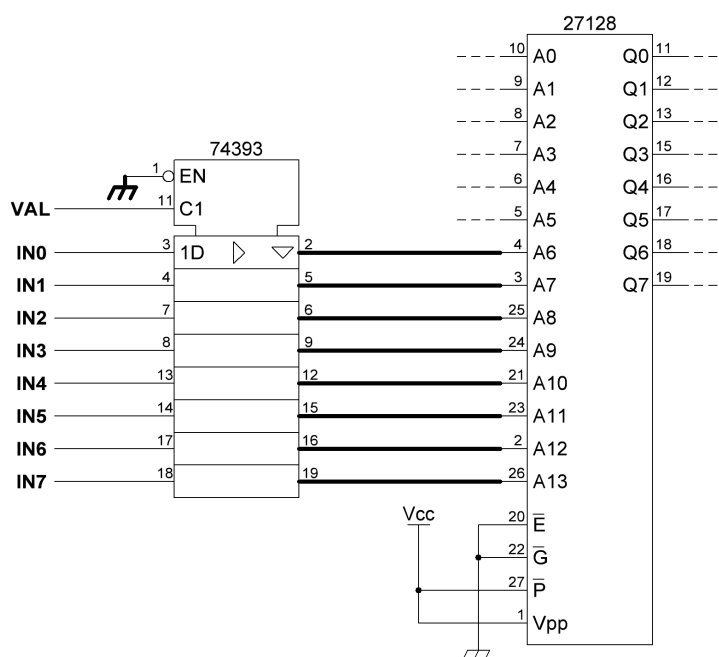
14. Câblez le verrou afin de réaliser la validation du message à l'aide d'une entrée **VAL** puis précisez l'emplacement des entrées **IN<sub>0</sub>** à **IN<sub>7</sub>**.

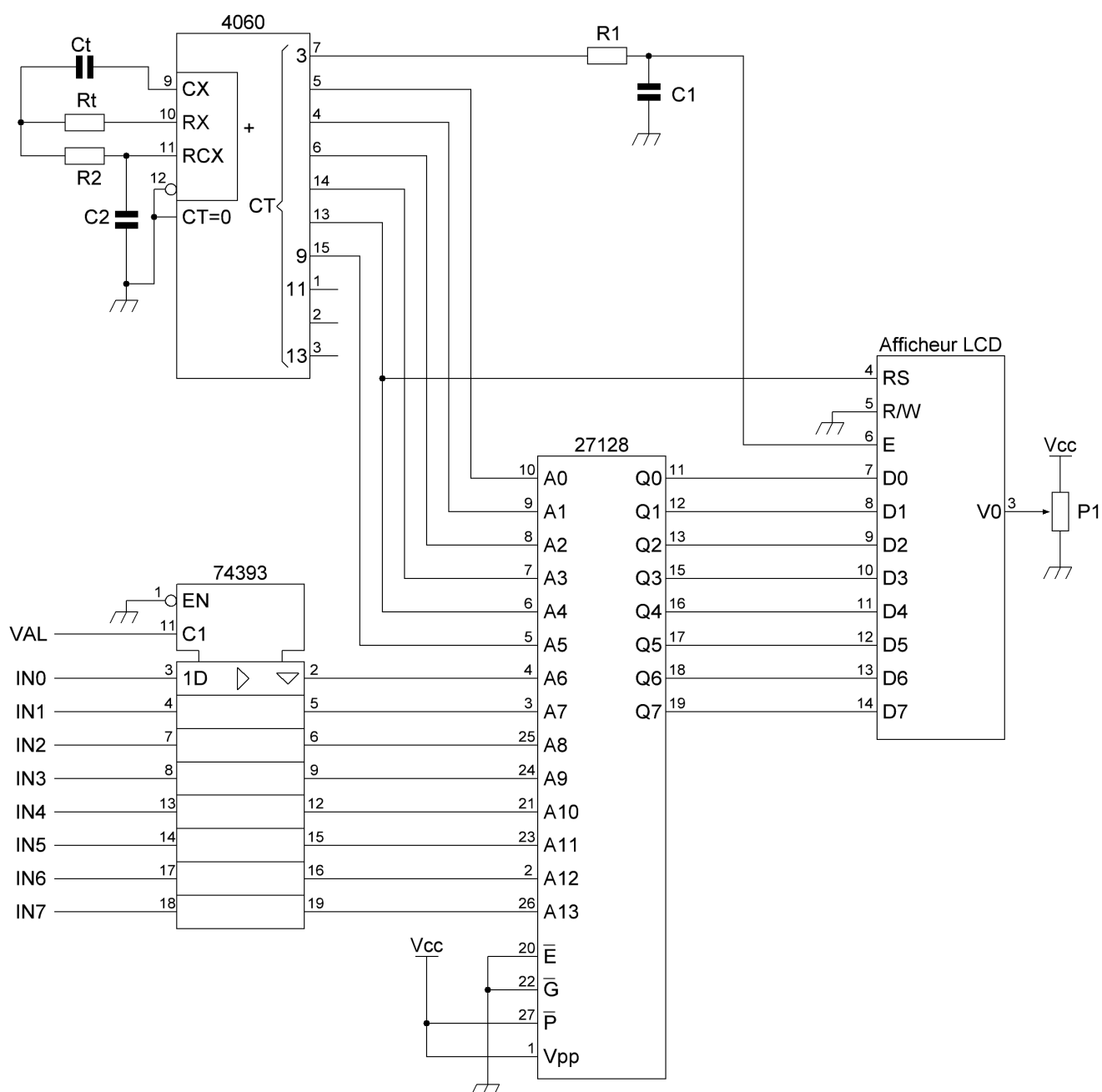
Après lecture de la documentation constructeur, on obtient les informations suivantes :

<b><math>\overline{OE}</math></b> (EN)	Entrée d'activation des sorties. $\overline{OE} = 0 \rightarrow$ les sorties sont activées. $\overline{OE} = 1 \rightarrow$ les sorties sont désactivées (état haute impédance).
<b>LE</b> (C <sub>1</sub> )	Entrée de déverrouillage des sorties. $LE = 0 \rightarrow$ les sorties sont verrouillées. $LE = 1 \rightarrow$ les sorties sont déverrouillées ( $Q_{7:0} = D_{7:0}$ ).
<b>D<sub>7:0</sub></b>	Entrées de donnée.
<b>Q<sub>7:0</sub></b>	Sorties.

Les entrées de donnée du verrou seront les entrées **IN<sub>0</sub>** à **IN<sub>7</sub>** de l'interface et l'entrée **LE** du verrou sera l'entrée de validation **VAL** de l'interface.

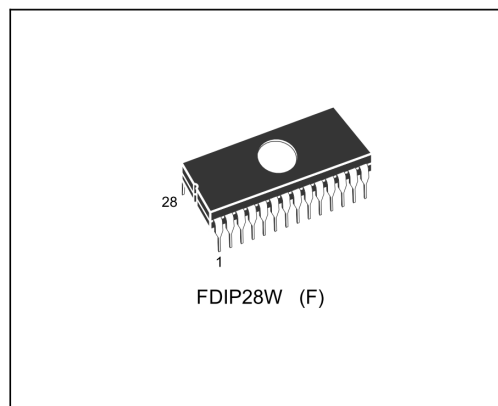
Les sorties du verrou doivent être activées en permanence afin que le numéro d'un message soit toujours présent sur le bus d'adresse de la mémoire. L'entrée  **$\overline{OE}$**  du verrou sera donc positionnée au niveau logique 0.





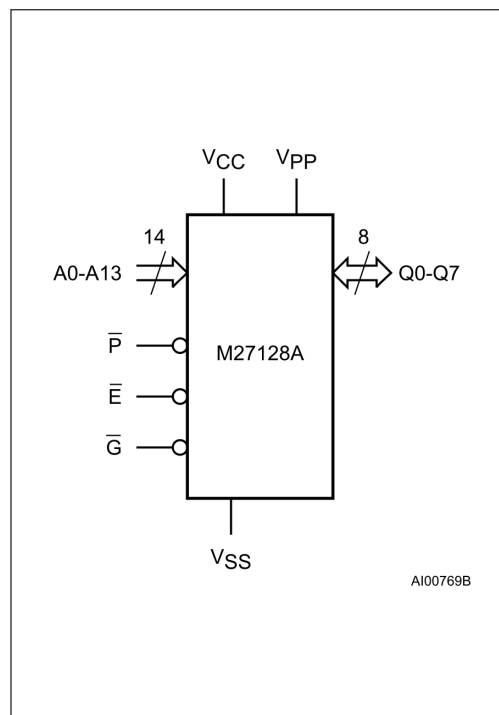
**M27128A****NMOS 128K (16K x 8) UV EPROM**

- FAST ACCESS TIME: 200ns
- EXTENDED TEMPERATURE RANGE
- SINGLE 5 V SUPPLY VOLTAGE
- LOW STANDBY CURRENT: 40mA max
- TTL COMPATIBLE DURING READ and PROGRAM
- FAST PROGRAMMING ALGORITHM
- ELECTRONIC SIGNATURE
- PROGRAMMING VOLTAGE: 12V

**DESCRIPTION**

The M27128A is a 131,072 bit UV erasable and electrically programmable memory EPROM. It is organized as 16,384 words by 8 bits.

The M27128A is housed in a 28 Pin Window Ceramic Frit-Seal Dual-in-Line package. The transparent lid allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written to the device by following the programming procedure.

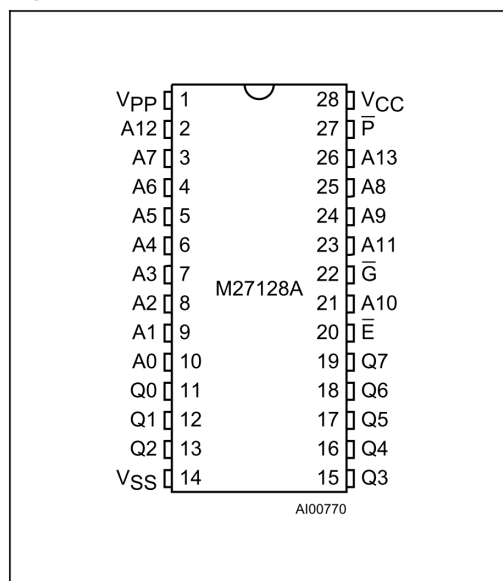
**Figure 1. Logic Diagram****Table 1. Signal Names**

A0 - A13	Address Inputs
Q0 - Q7	Data Outputs
$\bar{E}$	Chip Enable
$\bar{G}$	Output Enable
$\bar{P}$	Program
$V_{PP}$	Program Supply
$V_{CC}$	Supply Voltage
$V_{SS}$	Ground

**M27128A****Table 2. Absolute Maximum Ratings**

Symbol	Parameter	Value	Unit
$T_A$	Ambient Operating Temperature grade 1 grade 6	0 to 70 -40 to 85	°C
$T_{BIAS}$	Temperature Under Bias grade 1 grade 6	-10 to 80 -50 to 95	°C
$T_{STG}$	Storage Temperature	-65 to 125	°C
$V_{IO}$	Input or Output Voltages	-0.6 to 6.25	V
$V_{CC}$	Supply Voltage	-0.6 to 6.25	V
$V_{A9}$	A9 Voltage	-0.6 to 13.5	V
$V_{PP}$	Program Supply	-0.6 to 14	V

**Note:** Except for the rating "Operating Temperature Range", stresses above those listed in the Table "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and operation of the device at these or any other conditions above those indicated in the Operating sections of this specification is not implied. Exposure to Absolute Maximum Rating conditions for extended periods may affect device reliability. Refer also to the SGS-THOMSON SURE Program and other relevant quality documents.

**Figure 2. DIP Pin Connections****DEVICE OPERATION**

The seven modes of operation of the M27128A are listed in the Operating Modes table. A single 5V power supply is required in the read mode. All inputs are TTL levels except for  $V_{PP}$  and 12V on A9 for Electronic Signature.

**Read Mode**

The M27128A has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip Enable ( $\bar{E}$ ) is the power control and should be used for device selection. Output Enable ( $\bar{G}$ ) is the output control and should be used to gate data to the output pins, independent of device selection.

Assuming that the addresses are stable, address access time ( $t_{AVQV}$ ) is equal to the delay from  $\bar{E}$  to output ( $t_{ELQV}$ ). Data is available at the outputs after the falling edge of  $\bar{G}$ , assuming that  $\bar{E}$  has been low and the addresses have been stable for at least  $t_{AVQV} - t_{GLQV}$ .

**Standby Mode**

The M27128A has a standby mode which reduces the maximum active power current from 85mA to 40mA. The M27128A is placed in the standby mode by applying a TTL high signal to the  $\bar{E}$  input. When in the standby mode, the outputs are in a high impedance state, independent of the  $\bar{G}$  input.

**Two Line Output Control**

Because EPROMs are usually used in larger memory arrays, this product features a 2 line control function which accommodates the use of multiple memory connection. The two line control function allows:

- the lowest possible memory power dissipation,
- complete assurance that output bus contention will not occur.

## M27128A

## DEVICE OPERATION (cont'd)

For the most efficient use of these two control lines,  $\bar{E}$  should be decoded and used as the primary device selecting function, while  $\bar{G}$  should be made a common connection to all devices in the array and connected to the READ line from the system control bus.

This ensures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is required from a particular memory device.

## System Considerations

The power switching characteristics of fast EPROMs require careful decoupling of the devices. The supply current,  $I_{CC}$ , has three segments that are of interest to the system designer: the standby current level, the active current level, and transient current peaks that are produced by the falling and rising edges of  $\bar{E}$ . The magnitude of this transient current peaks is dependent on the capacitive and inductive loading of the device at the output. The associated transient voltage peaks can be suppressed by complying with the two line output control and by properly selected decoupling capacitors. It is recommended that a  $1\mu\text{F}$  ceramic capacitor be used on every device between  $V_{CC}$  and  $V_{SS}$ . This should be a high frequency capacitor

of low inherent inductance and should be placed as close to the device as possible. In addition, a  $4.7\mu\text{F}$  bulk electrolytic capacitor should be used between  $V_{CC}$  and GND for every eight devices. The bulk capacitor should be located near the power supply connection point. The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of PCB traces.

## Programming

When delivered (and after each erasure for UV EPROM), all bits of the M27128A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The M27128A is in the programming mode when  $V_{PP}$  input is at 12.5V and  $\bar{E}$  and  $\bar{P}$  are at TTL low. The data to be programmed is applied 8 bits in parallel, to the data output pins. The levels required for the address and data inputs are TTL.

## Fast Programming Algorithm

Fast Programming Algorithm rapidly programs M27128A EPROMs using an efficient and reliable method suited to the production programming environment. Programming reliability is also ensured as the incremental program margin of each byte is

Table 3. Operating Modes

Mode	$\bar{E}$	$\bar{G}$	$\bar{P}$	A9	$V_{PP}$	Q0 - Q7
Read	$V_{IL}$	$V_{IL}$	$V_{IH}$	X	$V_{CC}$	Data Out
Output Disable	$V_{IL}$	$V_{IH}$	$V_{IH}$	X	$V_{CC}$	Hi-Z
Program	$V_{IL}$	$V_{IH}$	$V_{IL}$ Pulse	X	$V_{PP}$	Data In
Verify	$V_{IL}$	$V_{IL}$	$V_{IH}$	X	$V_{PP}$	Data Out
Program Inhibit	$V_{IH}$	X	X	X	$V_{PP}$	Hi-Z
Standby	$V_{IH}$	X	X	X	$V_{CC}$	Hi-Z
Electronic Signature	$V_{IL}$	$V_{IL}$	$V_{IH}$	$V_{ID}$	$V_{CC}$	Codes Out

Note: X =  $V_{IH}$  or  $V_{IL}$ ,  $V_{ID} = 12V \pm 0.5\%$ .

Table 4. Electronic Signature

Identifier	A0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Hex Data
Manufacturer's Code	$V_{IL}$	0	0	1	0	0	0	0	0	20h
Device Code	$V_{IH}$	1	0	0	0	1	0	0	1	89h



M27128A

AC MEASUREMENT CONDITIONS

Input Rise and Fall Times  $\leq 20\text{ns}$   
Input Pulse Voltages 0.45V to 2.4V  
Input and Output Timing Ref. Voltages 0.8V to 2.0V

Note that Output Hi-Z is defined as the point where data is no longer driven.

Figure 3. AC Testing Input Output Waveforms

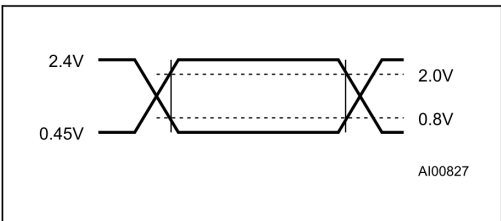


Figure 4. AC Testing Load Circuit

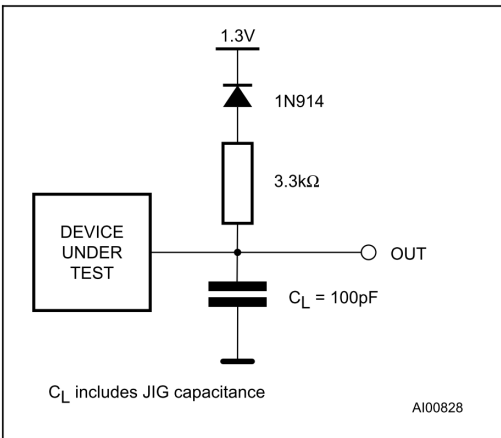
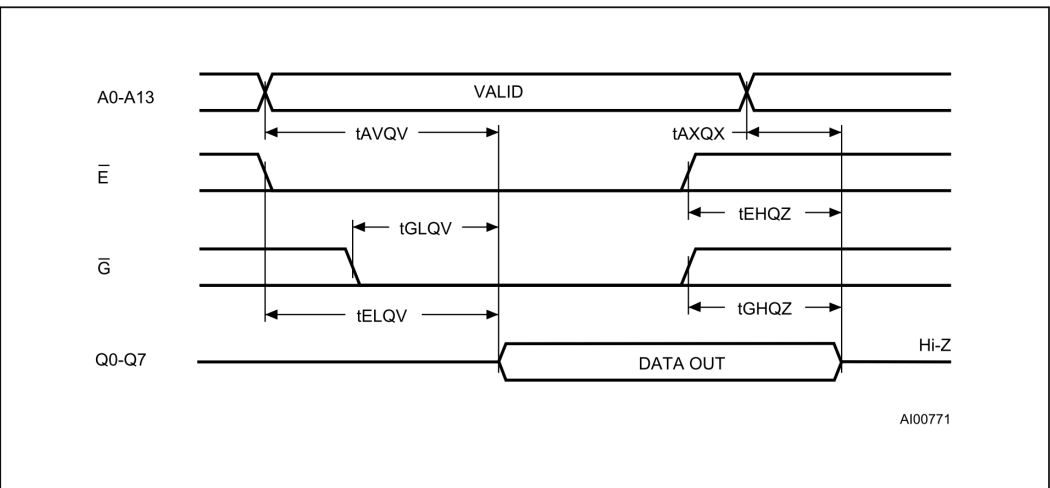


Table 5. Capacitance <sup>(1)</sup> (T<sub>A</sub> = 25 °C, f = 1 MHz )

Symbol	Parameter	Test Condition	Min	Max	Unit
C <sub>IN</sub>	Input Capacitance	V <sub>IN</sub> = 0V	=	6	pF
C <sub>OUT</sub>	Output Capacitance	V <sub>OUT</sub> = 0V	=	12	pF

Note: 1. Sampled only, not 100% tested.

Figure 5. Read Mode AC Waveforms



**M27128A****Table 6. Read Mode DC Characteristics <sup>(1)</sup>**(T<sub>A</sub> = 0 to 70 °C or –40 to 85 °C; V<sub>CC</sub> = 5V ± 5% or 5V ± 10%; V<sub>PP</sub> = V<sub>CC</sub>)

Symbol	Parameter	Test Condition	Min	Max	Unit
I <sub>LI</sub>	Input Leakage Current	0 ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>		±10	μA
I <sub>LO</sub>	Output Leakage Current	V <sub>OUT</sub> = V <sub>CC</sub>		±10	μA
I <sub>CC</sub>	Supply Current	$\bar{E} = V_{IL}, \bar{G} = V_{IL}$		75	mA
I <sub>CC1</sub>	Supply Current (Standby)	$\bar{E} = V_{IH}$		35	mA
I <sub>PP</sub>	Program Current	V <sub>PP</sub> = V <sub>CC</sub>		5	mA
V <sub>IL</sub>	Input Low Voltage		–0.1	0.8	V
V <sub>IH</sub>	Input High Voltage		2	V <sub>CC</sub> + 1	V
V <sub>OL</sub>	Output Low Voltage	I <sub>OL</sub> = 2.1mA	=	0.45	V
V <sub>OH</sub>	Output High Voltage	I <sub>OH</sub> = –400μA	2.4		V

**Note:** 1. V<sub>CC</sub> must be applied simultaneously with or before V<sub>PP</sub> and removed simultaneously or after V<sub>PP</sub>.**Table 7. Read Mode AC Characteristics <sup>(1)</sup>**(T<sub>A</sub> = 0 to 70 °C or –40 to 85 °C; V<sub>CC</sub> = 5V ± 5% or 5V ± 10%; V<sub>PP</sub> = V<sub>CC</sub>)

Symbol	Alt	Parameter	Test Condition	M27128A								Unit
				-2, -20		blank, -25		-3, -30		-4		
				Min	Max	Min	Max	Min	Max	Min	Max	
t <sub>AVQV</sub>	t <sub>ACC</sub>	Address Valid to Output Valid	$\overline{E} = V_{IL}, G = V_{IL}$		200		250		300		450	ns
t <sub>ELQV</sub>	t <sub>CE</sub>	Chip Enable Low to Output Valid	$\overline{G} = V_{IL}$		200		250		300		450	ns
t <sub>GLQV</sub>	t <sub>OE</sub>	Output Enable Low to Output Valid	$\overline{E} = V_{IL}$		75		100		120		150	ns
t <sub>EHQZ</sub> <sup>(2)</sup>	t <sub>DF</sub>	Chip Enable High to Output Hi-Z	$\overline{G} = V_{IL}$	0	55	0	60	0	105	0	130	ns
t <sub>GHQZ</sub> <sup>(2)</sup>	t <sub>DF</sub>	Output Enable High to Output Hi-Z	$\overline{E} = V_{IL}$	0	55	0	60	0	105	0	130	ns
t <sub>AXQX</sub>	t <sub>OH</sub>	Address Transition to Output Transition	$\overline{E} = V_{IL}, G = V_{IL}$	0		0		0		0		ns

**Notes:** 1. V<sub>CC</sub> must be applied simultaneously with or before V<sub>PP</sub> and removed simultaneously or after V<sub>PP</sub>.  
2. Sampled only, not 100% tested.

# 74HC373; 74HCT373

Octal D-type transparent latch; 3-state

Rev. 4 — 3 September 2010

Product data sheet

## 1. General description

---

The 74HC373; 74HCT373 is a high-speed Si-gate CMOS device and is pin compatible with Low-power Schottky TTL. It is specified in compliance with JEDEC standard no. 7A.

The 74HC373; 74HCT373 is an octal D-type transparent latch featuring separate D-type inputs for each latch and 3-state outputs for bus oriented applications. A latch enable (LE) input and an output enable ( $\overline{OE}$ ) input are common to all latches.

The 74HC373; 74HCT373 consists of eight D-type transparent latches with 3-state true outputs. When LE is HIGH, data at the Dn inputs enters the latches. In this condition the latches are transparent, i.e. a latch output will change state each time its corresponding D input changes.

When LE is LOW the latches store the information that was present at the D inputs a set-up time preceding the HIGH-to-LOW transition of LE. When  $\overline{OE}$  is LOW, the contents of the 8 latches are available at the outputs. When  $\overline{OE}$  is HIGH, the outputs go to the high-impedance OFF-state. Operation of the  $\overline{OE}$  input does not affect the state of the latches.

The 74HC373; 74HCT373 is functionally identical to:

- 74HC563; 74HCT563: but inverted outputs and different pin arrangement
- 74HC573; 74HCT573: but different pin arrangement

## 2. Features and benefits

---

- 3-state non-inverting outputs for bus oriented applications
- Common 3-state output enable input
- Functionally identical to the 74HC563; 74HCT563 and 74HC573; 74HCT573
- ESD protection:
  - ◆ HBM JESD22-A114F exceeds 2 000 V
  - ◆ MM JESD22-A115-A exceeds 200 V
- Specified from  $-40\text{ }^{\circ}\text{C}$  to  $+85\text{ }^{\circ}\text{C}$  and from  $-40\text{ }^{\circ}\text{C}$  to  $+125\text{ }^{\circ}\text{C}$



NXP Semiconductors

**74HC373; 74HCT373**

Octal D-type transparent latch; 3-state

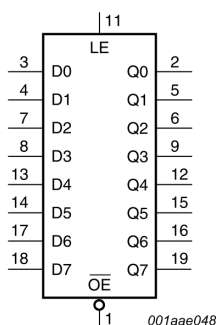


Fig 2. Logic symbol

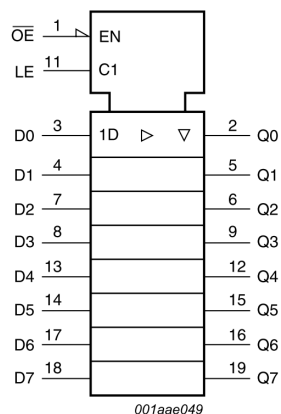


Fig 3. IEC logic symbol

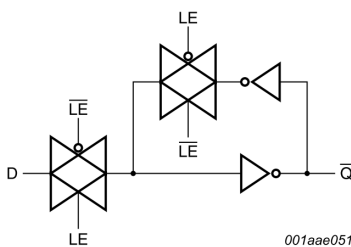


Fig 4. Logic diagram (one latch)

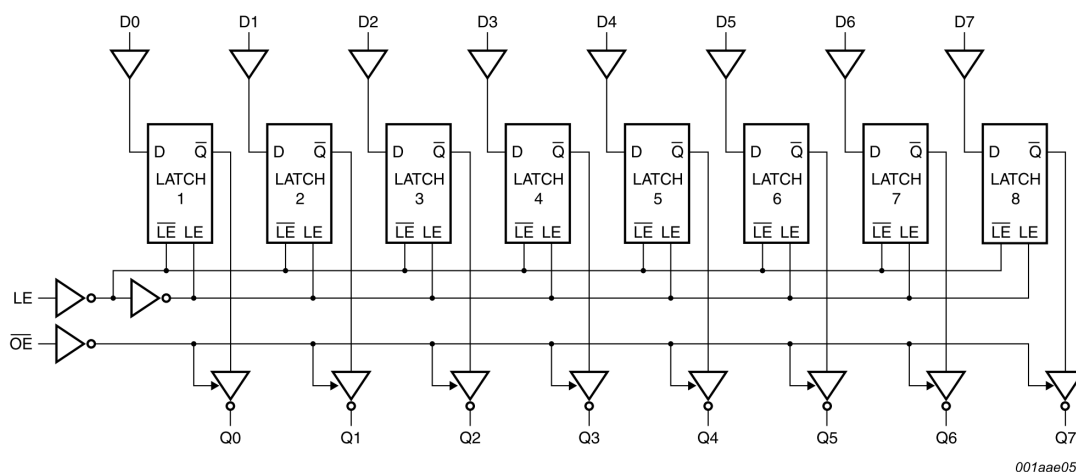


Fig 5. Logic diagram

74HC\_HCT373

All information provided in this document is subject to legal disclaimers.

© NXP B.V. 2010. All rights reserved.

Product data sheet

Rev. 4 — 3 September 2010

3 of 26

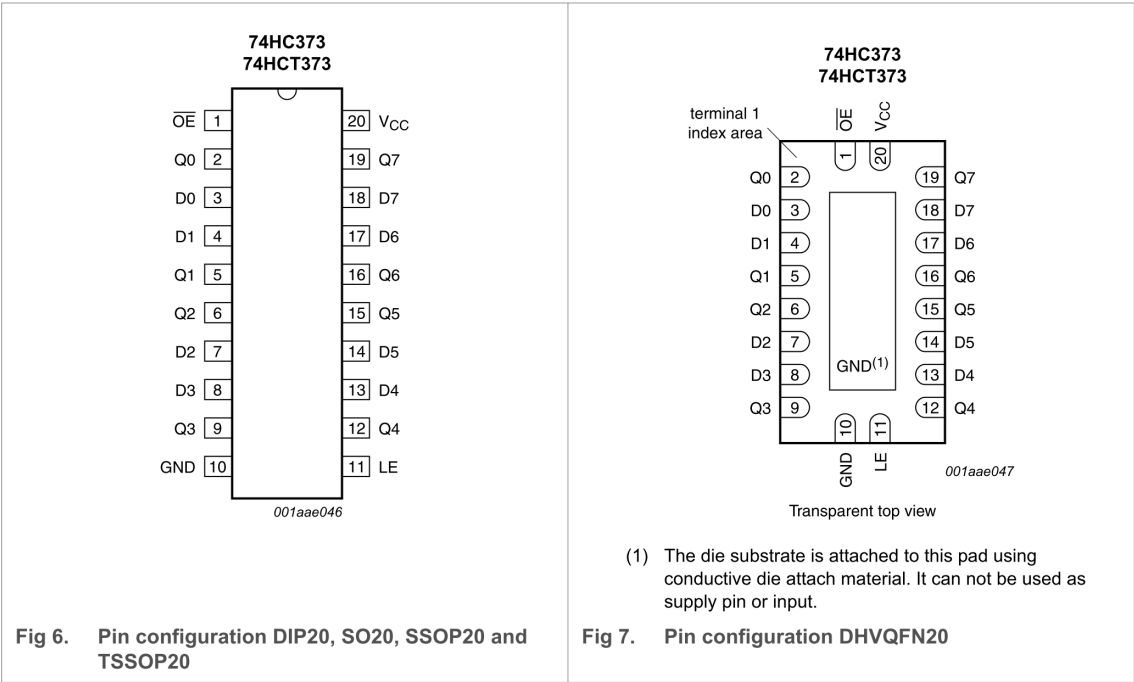
NXP Semiconductors

74HC373; 74HCT373

Octal D-type transparent latch; 3-state

5. Pinning information

5.1 Pinning



5.2 Pin description

Table 2. Pin description

Symbol	Pin	Description
$\overline{OE}$	1	3-state output enable input (active LOW)
Q0, Q1, Q2, Q3, Q4, Q5, Q6, Q7	2, 5, 6, 9, 12, 15, 16, 19	3-state latch output
D0, D1, D2, D3, D4, D5, D6, D7	3, 4, 7, 8, 13, 14, 17, 18	data input
GND	10	ground (0 V)
LE	11	latch enable input (active HIGH)
V <sub>CC</sub>	20	supply voltage

# 74HC4060; 74HCT4060

## 14-stage binary ripple counter with oscillator

Rev. 03 — 14 July 2008

Product data sheet

### 1. General description

---

The 74HC4060; 74HCT4060 are high-speed Si-gate CMOS device and is pin compatible with the HEF4060.

The 74HC4060; 74HCT4060 are 14-stage ripple-carry counter/dividers and oscillators with three oscillator terminals (RS, RTC and CTC), ten buffered outputs (Q3 to Q9 and Q11 to Q13) and an overriding asynchronous master reset (MR). The oscillator configuration allows design of either RC or crystal oscillator circuits. The oscillator may be replaced by an external clock signal at input RS. In this case keep the other oscillator pins (RTC and CTC) floating. The counter advances on the negative-going transition of RS. A HIGH level on MR resets the counter (Q3 to Q9 and Q11 to Q13 = LOW), independent of other input conditions. In the HCT version, the MR input is TTL compatible, but the RS input has CMOS input switching levels and can be driven by a TTL output by using a pull-up resistor to  $V_{CC}$ .

### 2. Features

---

- All active components on chip
- RC or crystal oscillator configuration
- Complies with JEDEC standard no. 7 A
- ESD protection:
  - ◆ HBM JESD22-A114E exceeds 2000 V
  - ◆ MM JESD22-A115-A exceeds 200 V
- Multiple package options
- Specified from  $-40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$  and from  $-40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$

### 3. Applications

---

- Control counters
- Timers
- Frequency dividers
- Time-delay circuits



NXP Semiconductors

**74HC4060; 74HCT4060**

14-stage binary ripple counter with oscillator

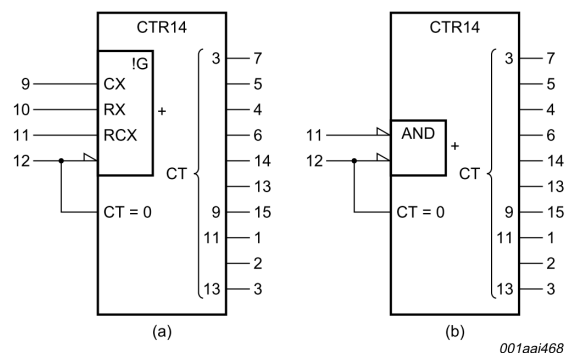


Fig 2. IEC logic symbol

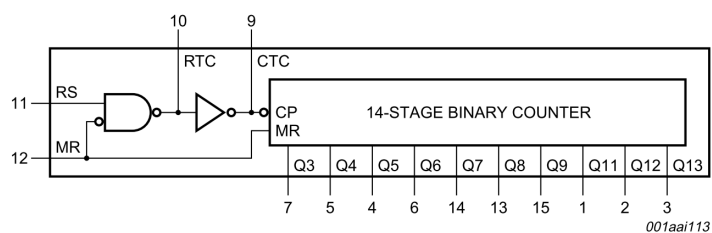


Fig 3. Functional diagram

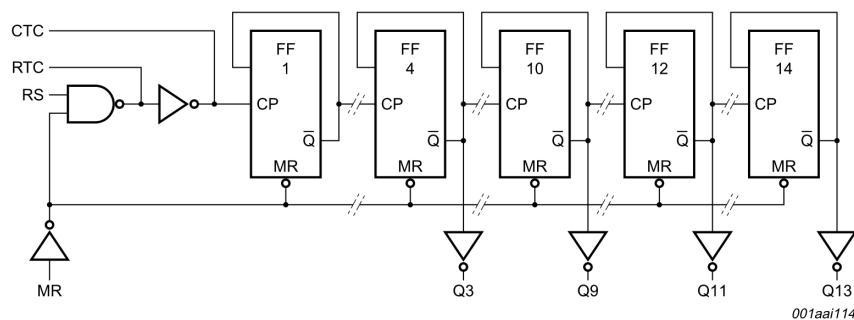


Fig 4. Logic diagram

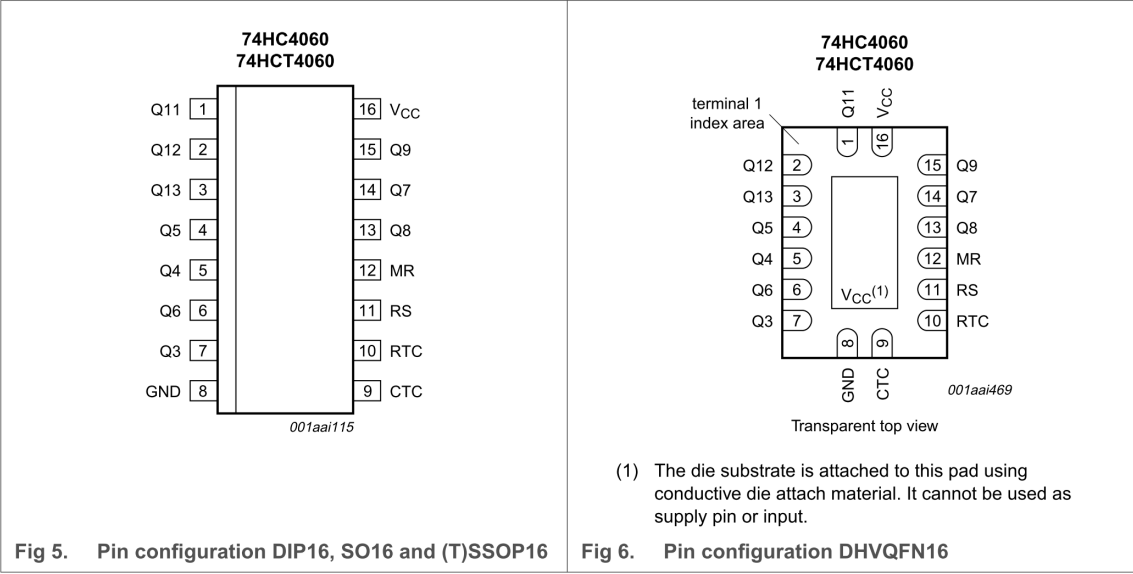
NXP Semiconductors

74HC4060; 74HCT4060

14-stage binary ripple counter with oscillator

6. Pinning information

6.1 Pinning



6.2 Pin description

Table 2. Pin description

Symbol	Pin	Description
Q11 to Q13	1, 2, 3	counter output
Q3 to Q9	7, 5, 4, 6, 14, 13, 15	counter output
GND	8	ground (0 V)
CTC	9	external capacitor connection
RTC	10	external resistor connection
RS	11	clock input /oscillator pin
MR	12	master reset input (active HIGH)
V <sub>CC</sub>	16	supply voltage



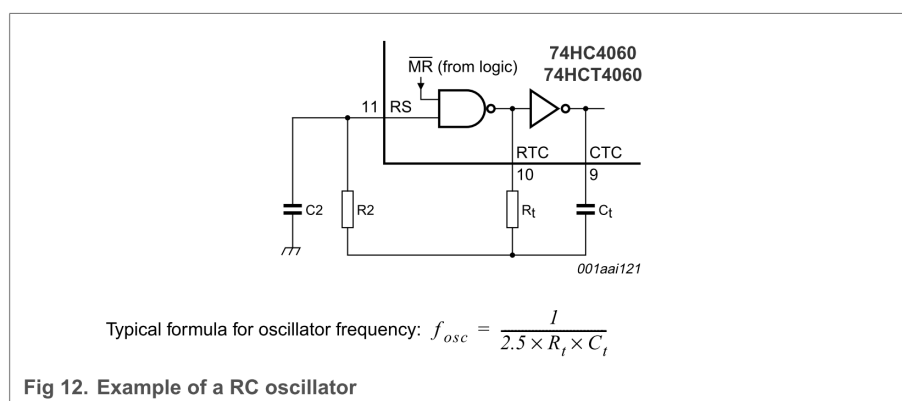
NXP Semiconductors

**74HC4060; 74HCT4060**

14-stage binary ripple counter with oscillator

**13. RC oscillator****13.1 Timing component limitations**

The oscillator frequency is mainly determined by  $R_t C_t$ , provided  $R_2 \approx 2R_t$  and  $R_2 C_2 \ll R_t C_t$ . The function of  $R_2$  is to minimize the influence of the forward voltage across the input protection diodes on the frequency. The stray capacitance  $C_2$  should be kept as small as possible. In consideration of accuracy,  $C_t$  must be larger than the inherent stray capacitance.  $R_t$  must be larger than the ON resistance in series with it, which typically is 280  $\Omega$  at  $V_{CC} = 2.0$  V, 130  $\Omega$  at  $V_{CC} = 4.5$  V and 100  $\Omega$  at  $V_{CC} = 6.0$  V.



The recommended values for these components to maintain agreement with the typical oscillation formula are:

$C_t > 50$  pF, up to any practical value and  $10 \text{ k}\Omega < R_t < 1 \text{ M}\Omega$ .

In order to avoid start-up problems,  $R_t \geq 1 \text{ k}\Omega$ .

**13.2 Typical crystal oscillator circuit**

In Figure 13,  $R_2$  is the power limiting resistor. For starting and maintaining oscillation a minimum transconductance is necessary, so  $R_2$  should not be too large. A practical value for  $R_2$  is 2.2 k $\Omega$ .