

Chapitre N° 04

Etude de l'architecture du Microprocesseur 8086.

1. Introduction

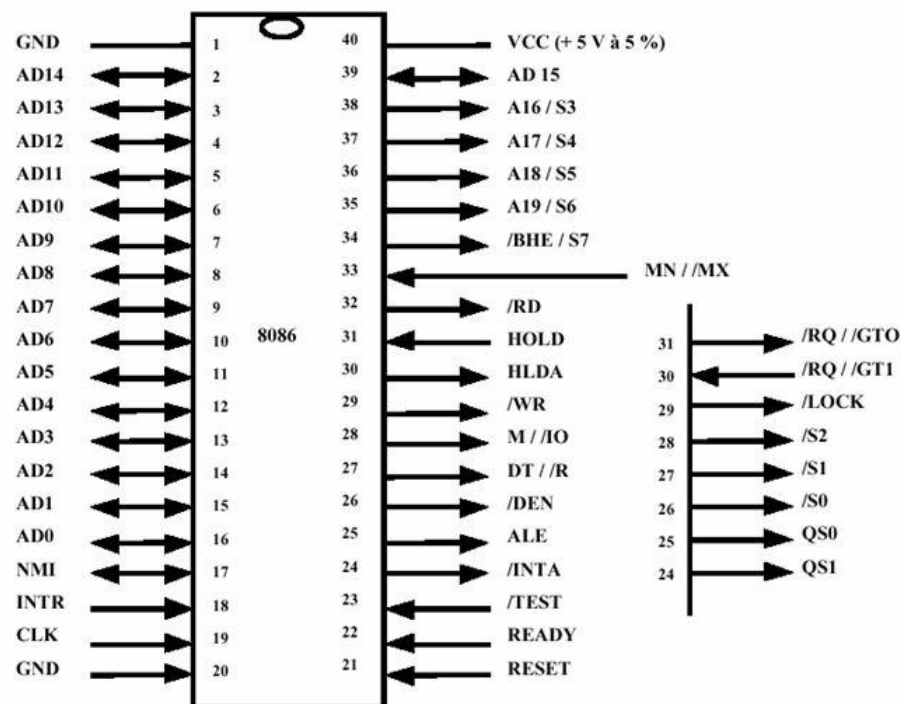
Le processeur 8086 d'Intel est à la base des processeurs Pentium actuels. Les processeurs successifs (de PC) se sont en effet construits petit à petit en ajoutant à chaque processeur des instructions et des fonctionnalités supplémentaires, mais en conservant à chaque fois les spécificités du processeur précédent.

Dans cette partie nous allons étudier l'architecture et le fonctionnement interne du processeur 8086 d'Intel est un processeur 16 bits.



2. Architecture externe du 8086

Le 8086 est un circuit intégré de forme DIL de 40 pattes comme le montre la figure suivante :



Le 8086 (développé en 1978) est équipé d'un bus de données de 16 bits et un bus d'adresses de 20 bits ce qui permet d'adresser 1 Mo (2^{20}), et fonctionne à des fréquences diverses selon plusieurs variantes : 5, 8 ou 10 MHz.

Ce microprocesseur est présenté en un boîtier de 40 broches, alimenté par une source unique de 5V.

Les pins du 8086 se divisent par leurs fonctions en plusieurs catégories : Adresse, données, CONTROLE/STATUS et alimentation/ masse.

Vcc et GND assurent l'alimentation électrique du microprocesseur.

Adresse et donnée :

AD0 - AD15 : multiplexés dans le temps pour servir à véhiculer l'adresse puis la donnée.

Ces pins sont soit en entrée soit en sortie soit en un 3ème état (haute impédance).

A16 -A19 (S3-S6) : Ces 4 broches sont multiplexées. Durant la sortie de l'adresse, les 4 bits de poids forts sont fournis pour les opérations d'écriture ou de lecture de type "mémoire". Lorsque le bus de donnée est actif, les sorties S3 et S4 donnent le nom du registre segment qui a servi à générer l'adresse physique, et la ligne S5 donne l'état du FLAG d'autorisation d'interruption le S6 est toujours zéro tant que le μ -processeur est sur le bus.

CLK (horloge) Entrée du signal d'horloge qui cadence le fonctionnement du microprocesseur.

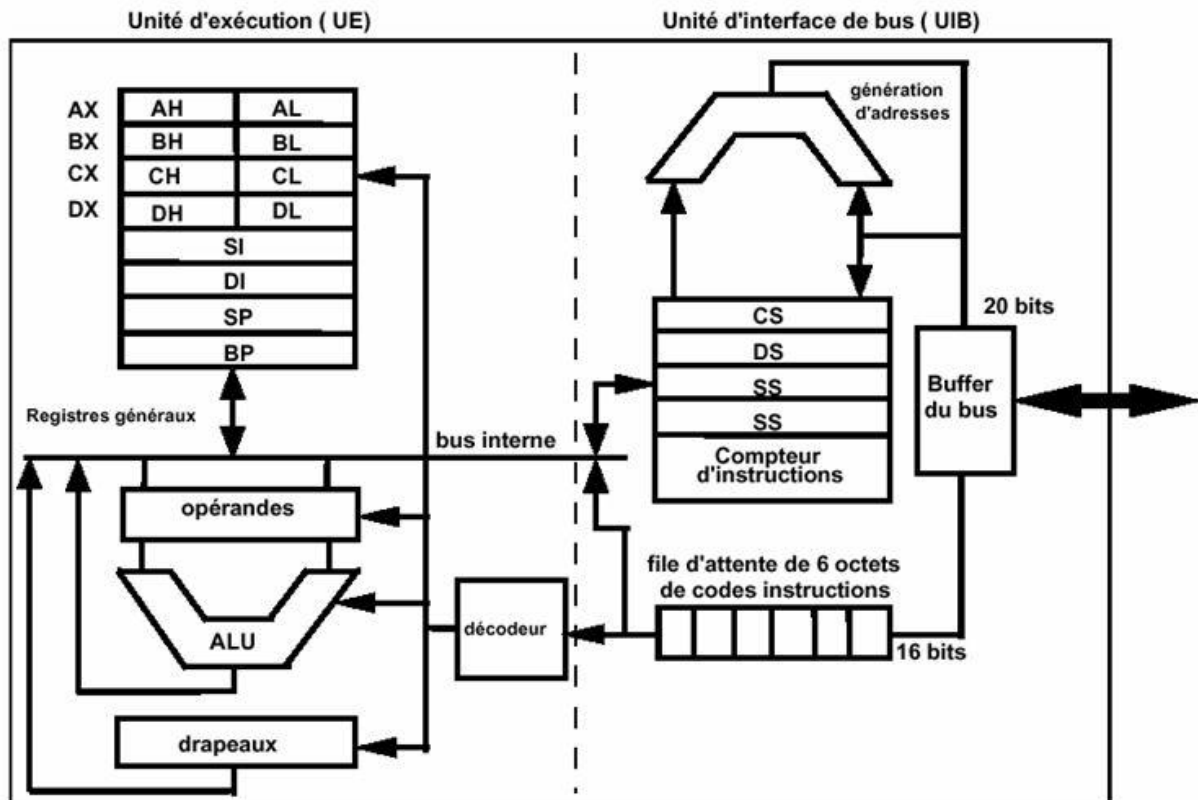
Ligne de contrôle et de status :

- RD Signal de demande de lecture à partir de la mémoire ou les E/S.
- WR Signal de demande d'écriture dans la mémoire ou les E/S.
- ALE : Sortie indique que l'information qui circule dans bus AD est une adresse.
- IO/M : Signal de séparation d'accès mémoire ou port : ($M/IO = 1$: accès mémoire, $M/IO = 0$: accès port d'E/S).
- RESET : Entrée de remise à zéro du microprocesseur.
- MN/MX : Entrée de choix du mode de fonctionnement du microprocesseur : (mode MIN ou MAX).
- DT/R : (Data transmit/Receive). Sortie indique le sens de transfert des données sur la bus de données : ($DT/R = 1$: le bus de donnée en sortie, $DT/R = 0$: le bus de donnée en entrée).
- DEN : Sortie indique que l'information qui circule dans bus AD est une donnée.
- INTR: Entrée de demande d'interruption masquable.
- NMI : Entrée de demande d'interruption interne non masquable.
- INTA : Sortie indique la réponse à une demande d'interruption.
- READY : Entrée de synchronisation avec la mémoire.
- HOLD et HLDA Signaux de l'accès direct mémoire par le circuit DMA.

3. Architecture interne du 8086

Il existe deux unités internes distinctes : l'UE (Unité d'Exécution) et l'UIB (Unité d'Interfaçage avec le Bus). Le rôle de l'UIB est de récupérer et stocker les informations à traiter, et d'établir les transmissions avec les bus du système. L'UE exécute les instructions qui lui sont transmises par l'UIB.

Pendant que l'UE exécute les informations qui lui sont transmises, l'instruction suivante est chargée dans l'UIB. Les instructions qui suivront sont placées dans une file d'attente. Lorsque l'UE a fini de traiter une instruction l'UIB lui transmet instantanément l'instruction suivante, et charge la troisième instruction en vue de la transmettre à l'UE. De cette façon, l'UE est continuellement en activité. Les deux unités travaillent en parallèle.



4. Les registres du 8086/8088 :

Tous les registres et le bus interne du 8086 sont structurés en 16 bits. Vu de l'utilisateur, le 8086 comprend 3 groupes de 4 registres de 16 bits, un registre d'état de 9 bits et un compteur programme de 16 bits non accessible par l'utilisateur.

a. Les registres généraux

Les registres généraux participent aux opérations arithmétiques et logiques ainsi qu'à l'adressage. Chaque demi-registre est accessible comme registre de 8 bits, le 8086 peut donc effectuer des opérations 8 bits d'une façon compatible avec le 8080.

Registres de données : formé par 4 registres de 16 bits (AX, BX, CX, et DX)

- **Registre AX : (Accumulateur) :** Toutes les opérations arithmétiques et logiques, opérations de transferts de données avec les entrées-sorties se font dans ce registre, ne peut pas servir pour l'adressage.
- **Registre BX : (registre de base) :** Il est utilisé pour l'adressage de données : en général il contient une adresse de base. (Par exemple, l'adresse de début d'un tableau). De plus il peut être utilisé dans toutes les opérations arithmétiques et logiques.
- **Registre CX : (Le compteur) :** Lors de l'exécution d'une boucle on a souvent recours à un compteur de boucles pour compter le nombre d'itérations, le registre CX a été fait pour servir comme compteur lors des instructions de boucle, ne peut pas servir pour l'adressage.
- **Registre DX : (Data) :** utilisé pour les opérations de multiplication et de division comme extension au registre AX. Il sert aussi pour contenir le numéro d'un port d'entrée/sortie pour adresser les interfaces d'E/S.

- **Registres pointeur et index** : Ces registres sont plus spécialement adaptés au traitement des éléments dans la mémoire. Il s'agit des 4 registres suivants :

Ces registres de 16 bits permettent l'adressage d'un opérande à l'intérieur d'un segment de 64 ko (216 positions mémoires)

- **SP Pointeur de Pile (Stack Pointer)** : Utilisé pour l'accès à la pile (une zone mémoire qui stocke l'information avec le principe fifo, telles les adresses de retour, pour pouvoir les récupérer après l'exécution d'un sous-programme ou d'un programme d'interruption.). Pointe sur la tête de la pile. Par défaut, son offset est relatif à SS
- **BP Pointeur de Base (Base Pointer)** : Adressage comme registre de base, (Par défaut, son offset est relatif à SS), Usage général
- **L'index SI : (source indexe)** Il permet de pointer la mémoire, il forme en général un décalage (un offset) par rapport à une base fixe (le registre DS), il sert aussi pour les instructions de chaîne de caractères.
- **L'index DI : (Destination indexe)** Il permet aussi de pointer la mémoire il présente un décalage par rapport à une base fixe (DS ou ES), il sert aussi pour les instructions de chaîne de caractères.

b. Les registres de segments

Le 8086 a quatre registres segments de 16 bits chacun : CS (code segment), DS (Data segment), ES (Extra segment) et SS (stack segment). Ces registres sont combinés avec les registres d'offset pour former les adresses. On place le registre segment au début d'une zone mémoire de 64 Koctets (65535 octets.), ensuite on fait varier le registre d'offset qui précise l'adresse relative par rapport à cette position.

- **Le registre CS (Code Segment)** : Définit le début de la mémoire programme qui contient les codes des instructions du programme en cours d'exécution.
- **Le registre DS (Data Segment)** : Début de la mémoire de données dans laquelle sont stockées toutes les variables traitées par le programme
- **Le registre SS (Stack Segment)** : Début de la pile.
- **Le registre ES (Extra Segment)** : Début d'un segment auxiliaire pour données.

c. Le registre IP : (Le compteur de programme) :

Instruction Pointer ou Compteur ordinal, contient l'adresse de l'emplacement mémoire où se situe la prochaine instruction à exécuter. Le registre IP est constamment modifié après l'exécution de chaque instruction afin qu'il pointe sur l'instruction suivante.

d. Le registre d'état PSW:

Le registre d'état FLAG sert à contenir l'état de certaines opérations effectuées par le processeur. Par exemple, quand le résultat d'une opération est nul, un bit spécifique du PSW le bit ZF est mis à 1. Chaque bit du PSW est considéré comme un drapeau. Six drapeaux reflètent les résultats d'une opération arithmétique ou logique et 3 participent au contrôle du processeur. Le registre d'état du 8086 est formé par les bits suivants :

15												0				
X	X	X	X	OF	DF	IF	TF	SF	ZF	X	AF	X	PF	X	CF	

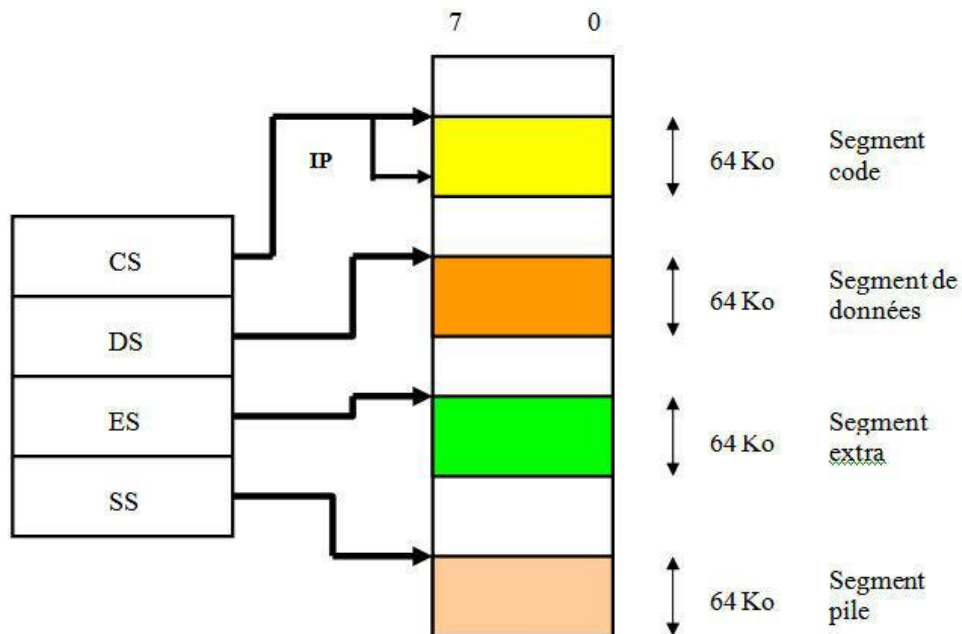
- **CF (Carry Flag)** : mis à 1 lorsqu'il y a une retenue du résultat à 8 ou 16 bits. Il intervient dans les opérations d'additions et de soustractions sur des entiers naturels.
- **PF (Parity Flag)** : Parité : si le résultat de l'opération contient un nombre pair de 1 cet indicateur est mis à 1. Ce flag est utilisé avec certains sauts conditionnels.
- **AF (Auxiliary Carry)** : (Demi-retendue) est égal à 1 si on a une retenue sur les 4 bits (digit) de poids faible. Par exemple quand la somme des 2 digits de poids faible dépasse F (15).
- **ZF (Zero Flag)** : Zéro : Cet indicateur est mis à 1 quand le résultat d'une opération est nul. Lorsque l'on vient d'effectuer une soustraction (ou une comparaison), ZF=1 indique que les deux opérandes étaient égaux. Sinon, ZF est positionné à 0.
- **SF (Sign Flag)** : (Signe) SF est positionné à 1 si le bit de poids fort d'une quantité signée sur 8 bits ou sur 16 bits du résultat d'une opération est 1 ; sinon SF=0.
- **TF (Trap Flag)** : (Piège) met le CPU en mode pas à pas pour faciliter la recherche des défauts d'exécution.
- **IF (Interrupt Flag)** : (Interruption) autorise ou non la reconnaissance des interruptions : pour masquer les interruptions venant de l'extérieur ce bit est mis à 0, dans le cas contraire le microprocesseur reconnaît l'interruption de l'extérieur.
- **DF (Direction Flag)** : (Direction) fixe la direction de l'auto-inc/décrémentation de SI et DI lors des instructions de manipulation de chaînes de caractères. D = 0 alors incrémentation des index. D = 1 alors décrémentation des index
- **OF (Overflow Flag)** : (Débordement) si on a un débordement arithmétique ce bit est mis à 1, c a d le résultat d'une opération excède la capacité de l'opérande (registre ou case mémoire), sinon il est à 0.

5. Gestion de la mémoire

L'espace mémoire adressable (1 méga = 2^{20} bits du bus d'adresse) du 8086/8088 est divisé en quatre segment logiques allant jusqu'à 64 KOctets chacun. L'accès à ces espaces est direct et simultané, or Le compteur de programme est de 16 bits donc la possibilité d'adressage est de $2^{16} = 64$ Ko (Ce qui ne couvre pas la totalité de la mémoire), alors on utilise deux registres pour indiquer une adresse au processeur, Chaque segment débute à l'endroit spécifié par le registre segment. Le déplacement (offset) à l'intérieur de chaque segment se fait par un registre de décalage qui permet de trouver une information à l'intérieur du segment. Exemple la paire de registre CS:IP : pointe sur le code d'une instruction (CS registre segment et IP Déplacement)

Les données sont regroupées dans une zone mémoire nommée segment de données, tandis que les instructions sont placées dans un segment d'instructions (de même pour le segment pile et segment de données supplémentaires). Ce partage se fonde sur la notion plus générale de segment de mémoire, qui est à la base du mécanisme de gestion des adresses par les processeurs 80x86. On a vu aussi que le registre IP, qui stocke l'adresse d'une instruction, fait lui aussi 16 bits. Or, avec 16 bits il n'est possible d'adresser que $2^{16} = 64$ Kilo octets. Le bus d'adresses du 8086 possède 20 bits. Cette adresse de 20 bits est formée par la juxtaposition d'un registre segment (16 bits de poids fort) et d'un déplacement (offset, 16 bits de poids faible).

Adresse physique = Base * 16 + offset



Le schéma de la figure suivante illustre la formation d'une adresse 20 bits à partir du segment et du déplacement sur 16 bits :

Bits	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Base																	0 0 0 0			
+	0	0	0	0	Offset																
=	Adresse physique																				

Exemple :

Pour CS=1000 et IP = 2006

Adresse physique =

$$\begin{array}{r}
 10000 \\
 + \quad 2006 \\
 \hline
 = \quad 12006
 \end{array}$$