

TD vhdl-fpga

Considérez le code VHDL et le modèle de FPGA suivants.

a. (4 points) Montrez, sur le modèle du FPGA, un résultat possible de la synthèse et de l'implémentation de ce code. Indiquez directement sur le dessin où chaque signal et port de sortie se situe ainsi que les interconnexions entre les blocs. Les interconnexions peuvent contourner les blocs. Indiquez quand une bascule doit être utilisée. Indiquez clairement, par une équation ou une porte logique, la fonction logique réalisée par chaque LUT utilisée.

```
library ieee;
use ieee.std_logic_1164.all;

entity module14 is
    port (
        clk, A, B, C, D, E: in std_logic;
        X, Y, Z: out std_logic
    );
end module14;

architecture arch of module14 is

    signal Q : std_logic_vector(1 downto 0) := "10";
    signal R, S, T : std_logic := '1';

begin

    X <= T and Q(0);
    Z <= R xor S xor T;
```

```

with A select
    R <=
        B when '1',
        C when '0',
        '0' when others;

process(D, E)
begin
    S <= D and E;
    T <= D xor E;
end process;

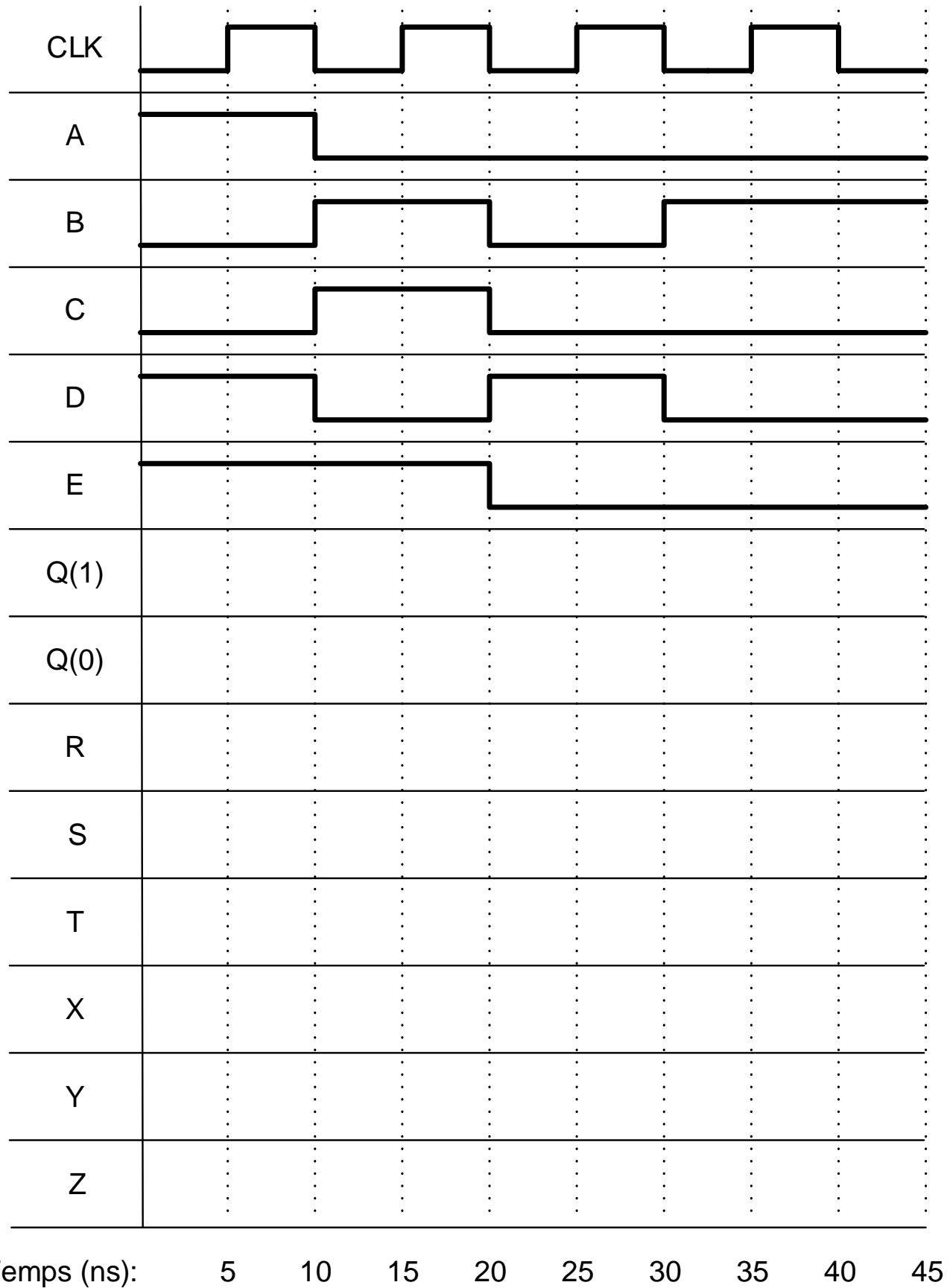
process(clk) is
begin
    if rising_edge(CLK) then
        Q(1) <= Q(1) or not(A) or S;
        Q(0) <= not(B and Q(1));
        Y <= Q(1) xor Q(0);
    end if;
end process;

end arch;

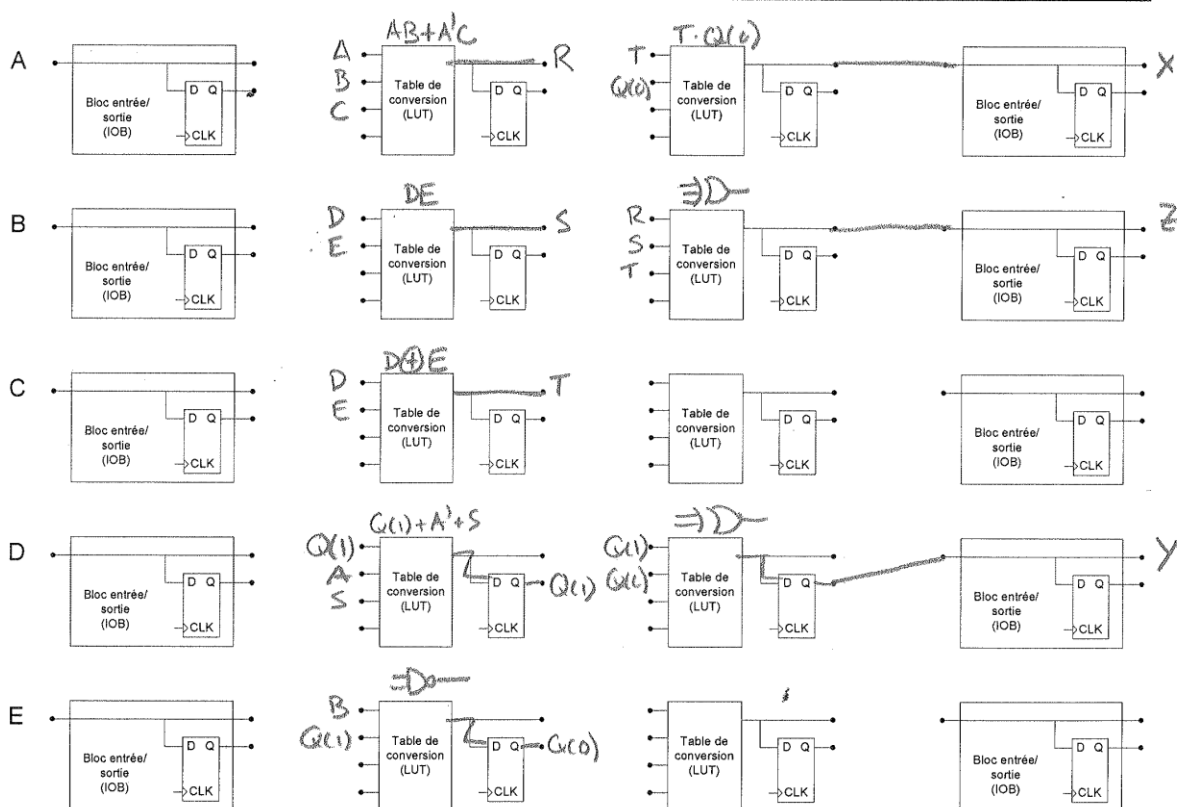
```



b. Complétez le chronogramme suivant pour ce code VHDL.



Q2. a.



b.

