
Question Implémentation avec la technologie PAL Soit le code

VHDL suivant :

```
library ieee;
use ieee.std_logic_1164.all;

entity question4 is
  port (
    clk : in std_logic;
    x1 : in std_logic;
    x2 : in std_logic;
    x3 : in std_logic;
    y1 : out std_logic;
    y2 : out std_logic;
  );
end question4;

architecture beh of question4 is
  signal p1 : std_logic;
  signal p2 : std_logic;
  signal p3 : std_logic;
  signal p4 : std_logic;
begin -- beh

  p1 <= x1 and x2 and not x3;
  p2 <= not x1 and x2 and x3;
  p3 <= not x1 and not x2;
  p4 <= x1 and not x2 and not x3;

  process (clk, <reset name>)
  begin -- process
    if clk'event and clk = '1' then -- rising clock edge
      y1 <= p1 or p2;
    end if;
  end process;

  y2 <= p3 or p4;
end beh;
```

Complétez le circuit PAL suivant qui implémentera la fonctionnalité décrite dans le code VHDL du circuit *question4*. N'oubliez pas de définir la valeur des signaux de programmation des multiplexeurs (select1 et select2).

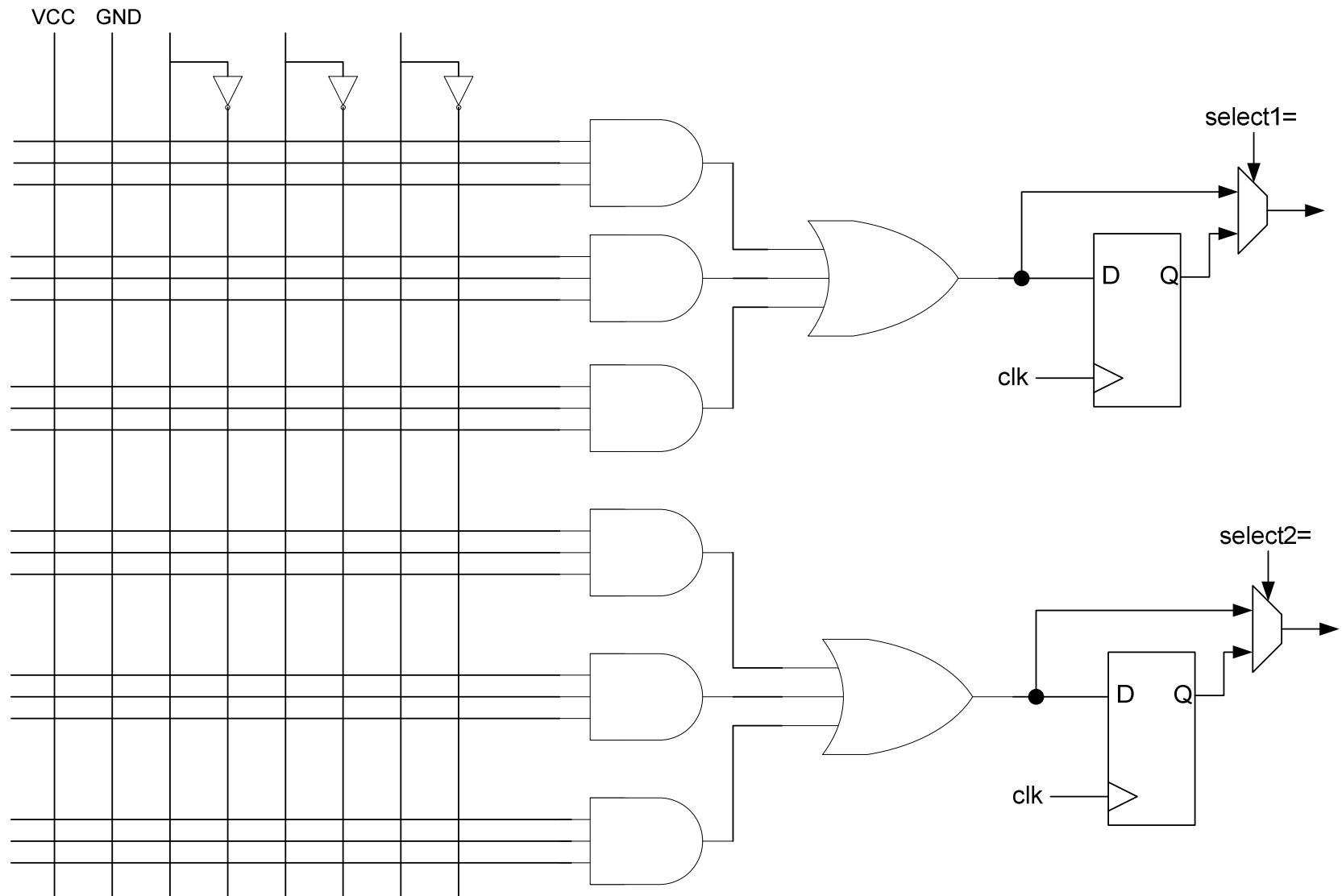
Détachez et remettez la page réponse dans votre cahier d'examen.

Ce circuit PAL comporte des bascules qui peuvent être utilisées selon la valeur du signal de contrôle du multiplexeur. Si le signal select est égal à '1' alors la valeur de Q sera conduite sur la sortie du multiplexeur. Sinon la sortie du OR sera multiplexée sur la sortie du multiplexeur.

INF3500-final H2009 – Question 6

Nom :

Matricule :



Solution

